

Introducción a la Computación

Capítulo 5

Memoria Interna

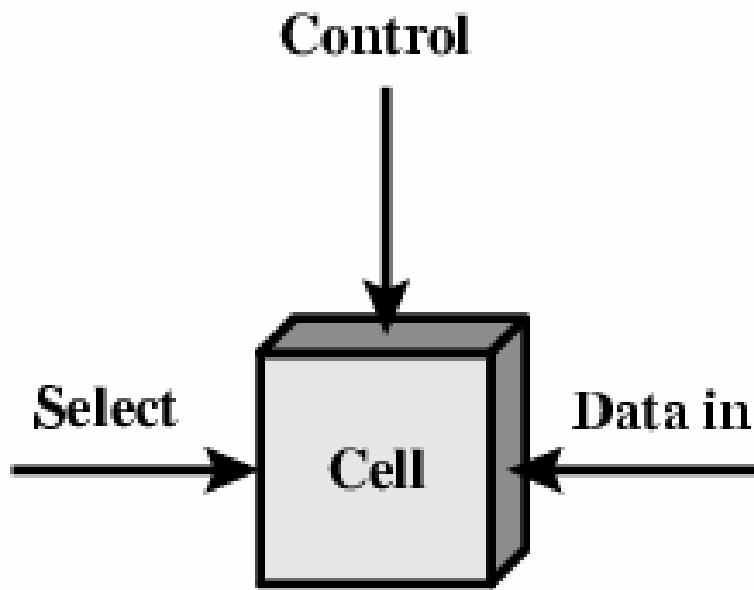
Tipos de Memoria Semiconductora

Tipo de memoria	Clase	Borrado	Mecanismos de escritura	Volatilidad
Memoria de acceso aleatorio (RAM)	Memoria de lectura/escritura	Eléctricamente por bytes	Eléctricamente	Volátil
Memoria de sólo lectura (ROM)	Memoria de sólo lectura	No posible	Mediante máscaras	No volátil
ROM programable (PROM)			Eléctricamente	
PROM borrable (EPROM)	Luz ultravioleta, chip completo			
Memoria FLASH	Eléctricamente por bloques			
PROM borrable eléctricamente (EEPROM)	Eléctricamente por bytes			

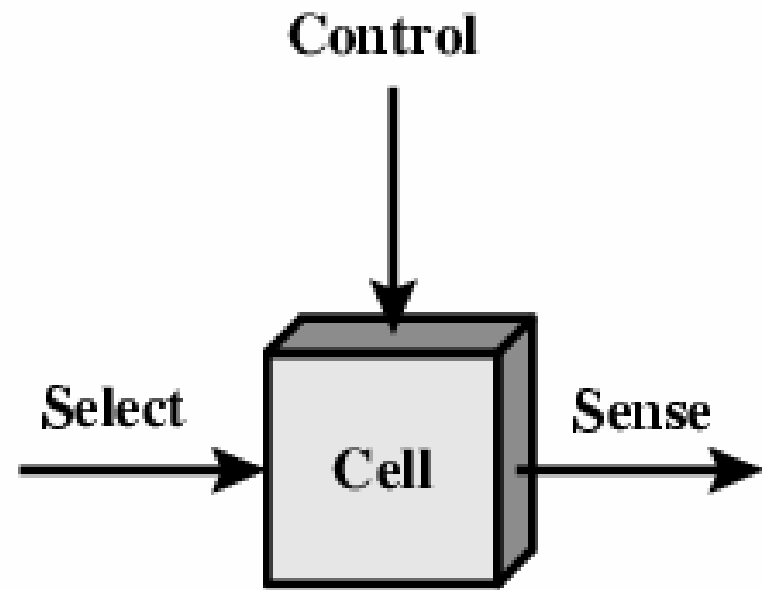
Memoria Semiconductora

- RAM
 - Todas las memorias semiconductoras son RAM. Se aplica a las mas comunes.
 - Lectura/Escritura
 - Volátil
 - Almacenamiento temporal
 - Estática o Dinámica

Operación de la Celda de memoria



(a) Write



(b) Read

RAM Dinámica

- Bits almacenados cargando capacitores
- Esta carga se va perdiendo
- Se necesita refrescar su contenido
- Fabricación simple
- Tamaño reducido por bit
- Son las más económicas
- Necesitan circuitos de refresco
- Lentas
- Se usan en la Memoria Principal
- Analógicas
 - El nivel determina su valor

RAM estática

- Los Bits son almacenados por compuertas
- No pierde su carga
- No se necesita refresco
- Construcción mas compleja
- Son mas grandes por bit
- Mas costosas
- No hay circuitos adicionales
- Rápidas
- Cache
- Digitales
 - Usan flip-flops

SRAM vs. DRAM

- Ambas son volátiles
 - Tienen que estar alimentadas para sostener los datos
- Celda dinámica
 - Simple y pequeña
 - Se alcanzan mayores densidades
 - Económicas
 - Necesitan refresco
 - Unidades de memoria grandes
- Estática
 - Rápidas
 - Cache

Read Only Memory (ROM)

- Almacenamiento permanente
 - No volátil
- Microprogramación
- Biblioteca de subrutinas de uso frecuente
- Programas de sistema (BIOS)
- Tablas de funciones

Tipos de ROM

- Grabadas durante su fabricación
 - Costosa para pequeñas cantidades
- Programables (una vez)
 - PROM
 - Se necesita equipo especial
- Sobre todo lectura (Read “mostly”)
 - Erasable Programmable (EPROM)
 - Borrable con luz Ultravioleta
 - Electrically Erasable Programmable (EEPROM)
 - Toma mucho mas tiempo escribir que leer
 - Flash

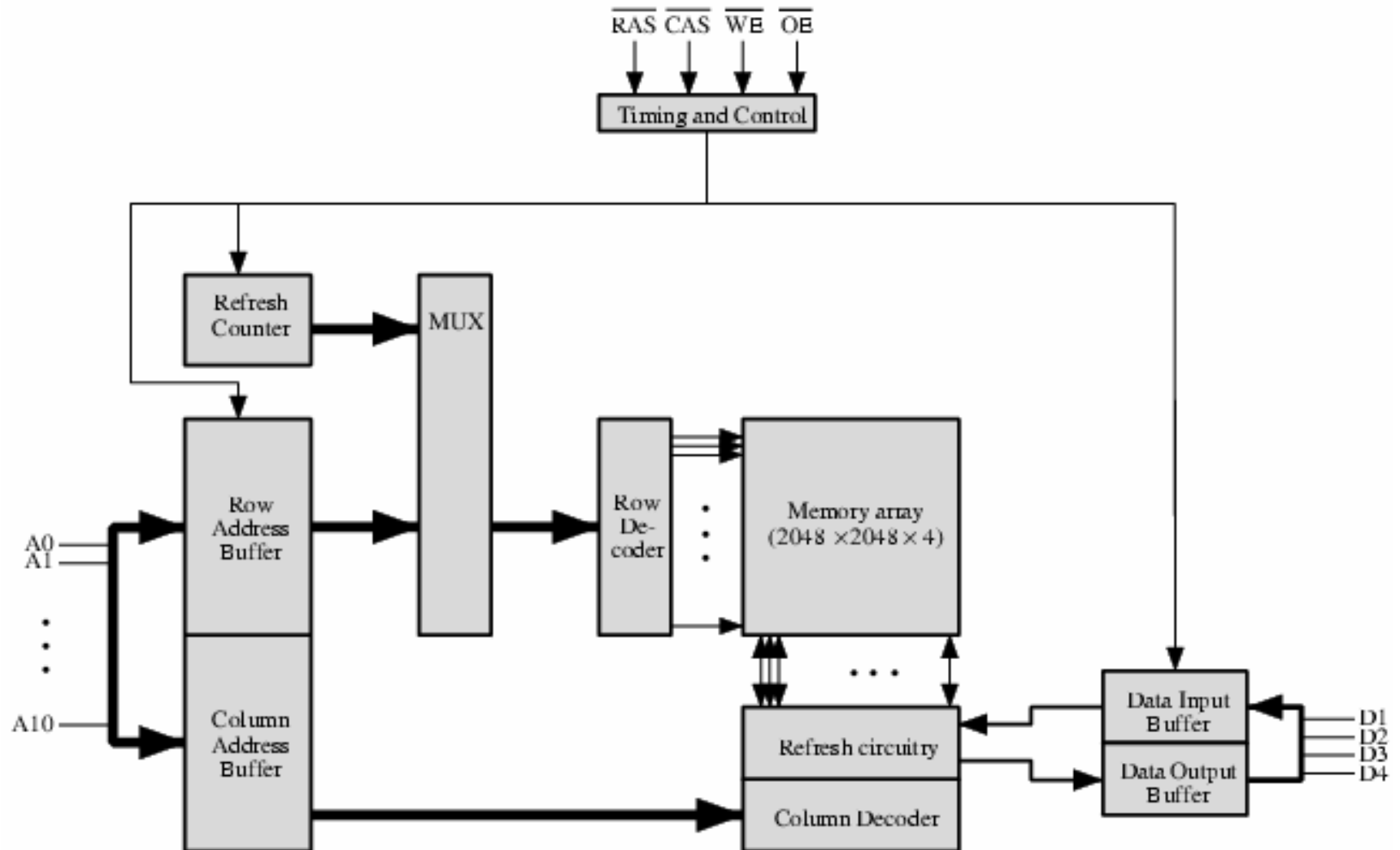
Organización en detalle

- Un chip de 16Mbit puede estar organizado como 1M de palabras de 16 bit
- Otro caso es la estructura de “un bit por chip” en la que se escribe/lee por bit
- El chip de 16Mbit puede estar organizado como 4 matrices cuadradas de 2048 x 2048
 - Se reduce el número de líneas de dirección
 - Se multiplexa las direcciones de columnas y las filas
 - Se necesitan 11 líneas ($2^{11}=2048$)
 - Si se agrega una línea mas se cuadruplica la capacidad posible

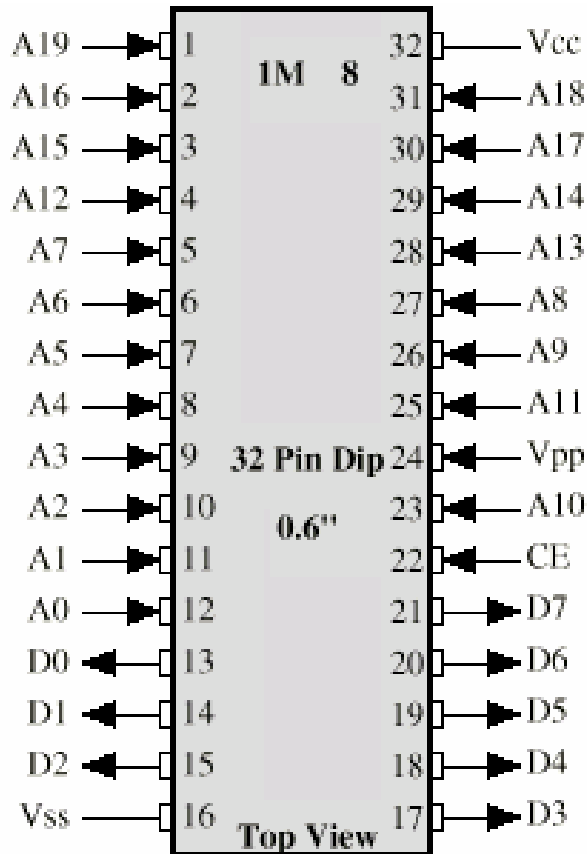
Refresco

- Circuito de refresco onchip
- Se desabilita el chip
- Un contador recorre las filas
- Las lee y las escribe
- Esto lleva un tiempo
- Se hace lento el sistema

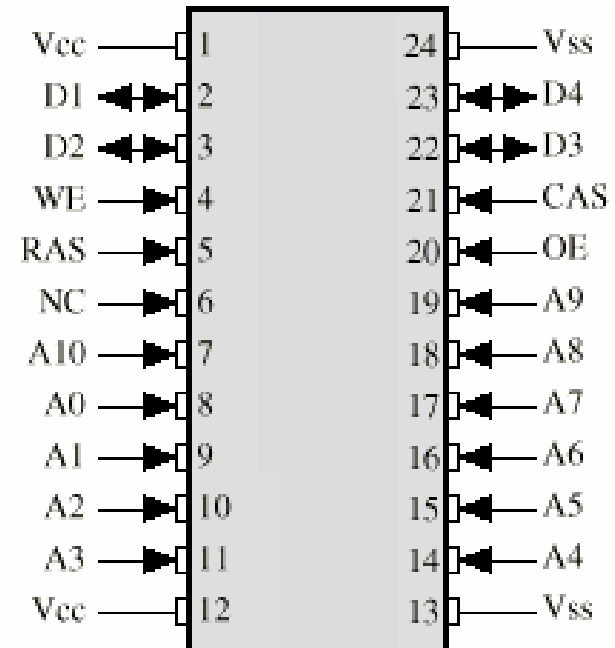
DRAM típica de 16 Mb (4M x 4)



Encapsulado

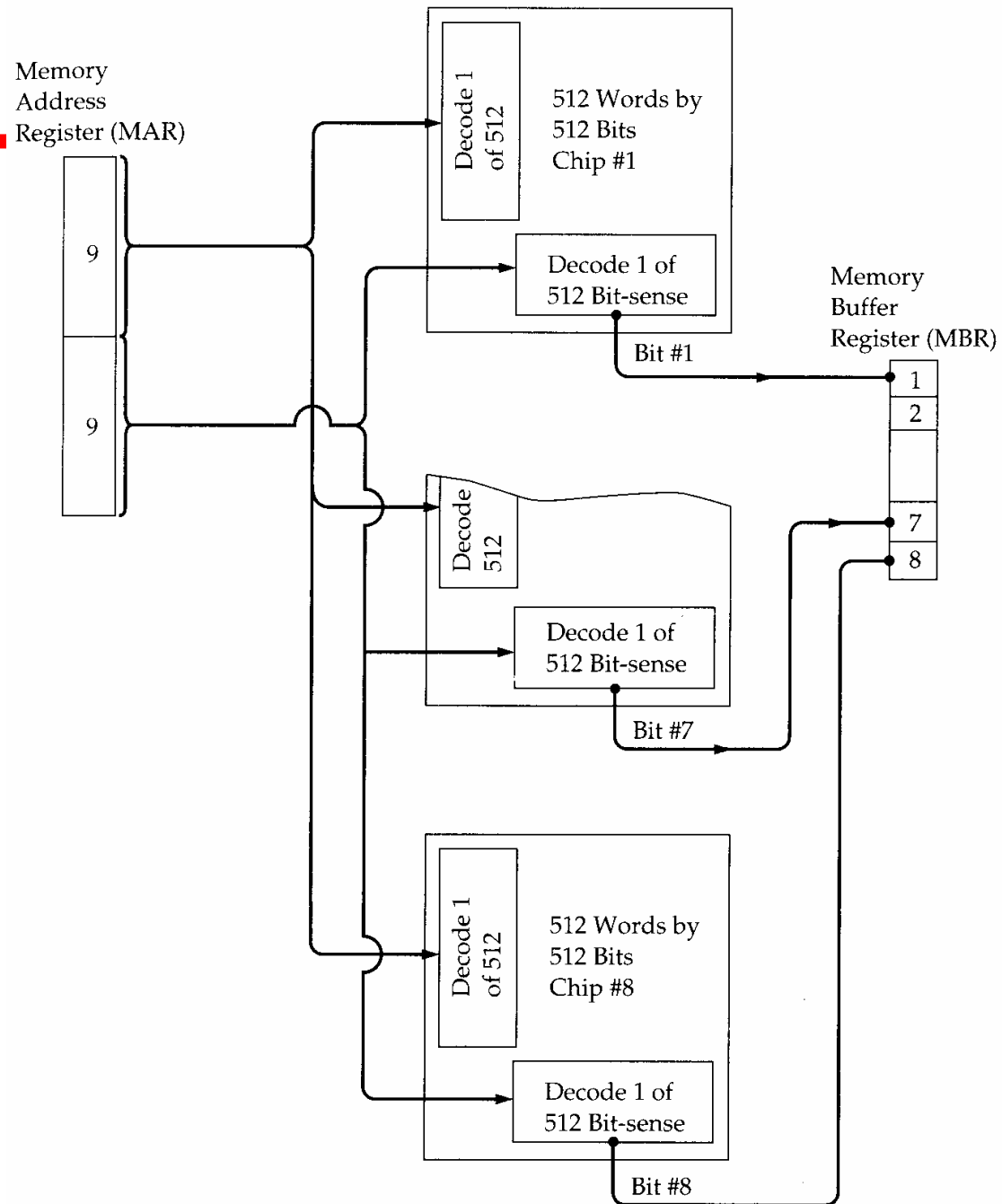


(a) 8 Mbit EPROM

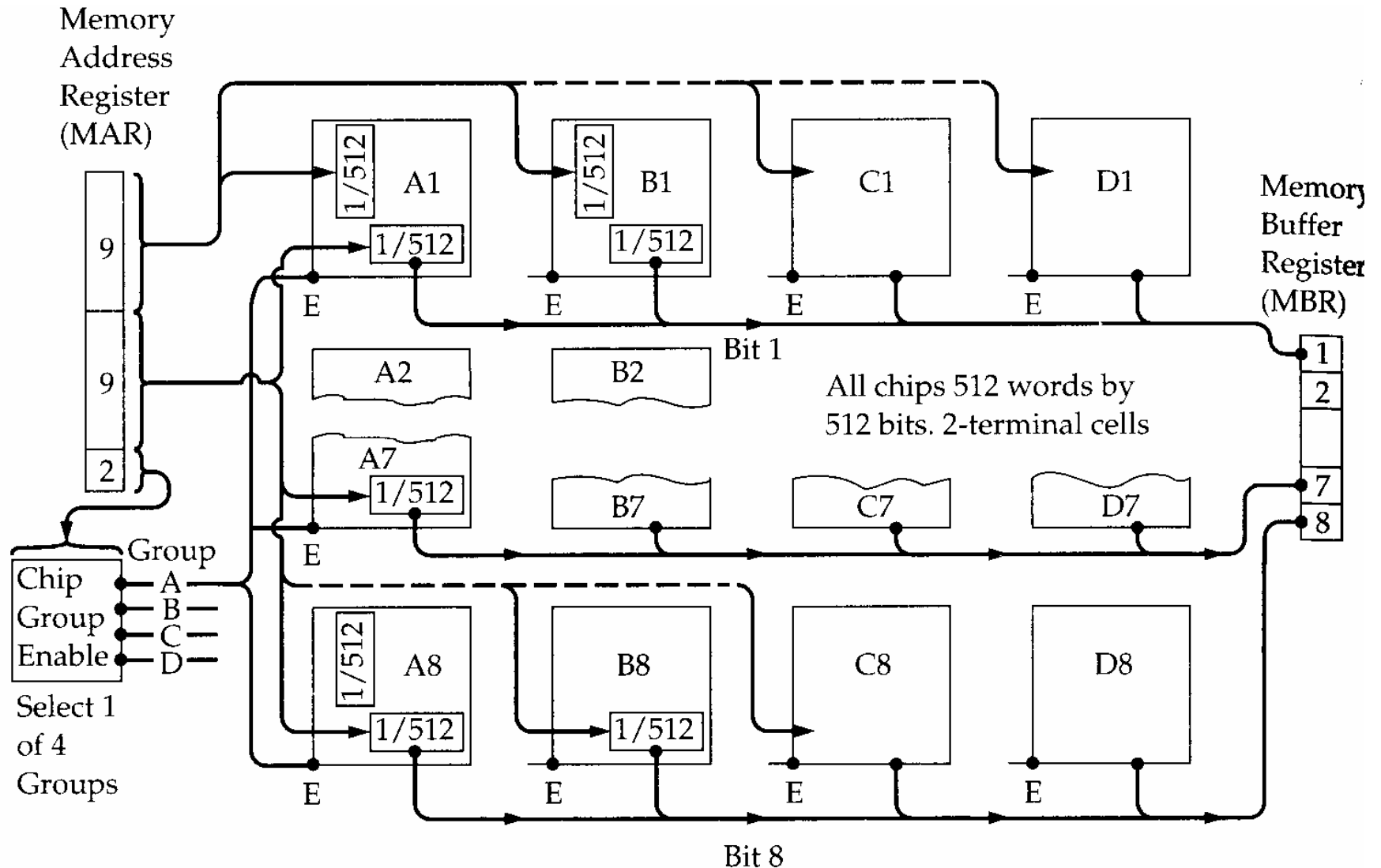


(b) 16 Mbit DRAM

Organización de los módulos 256KB



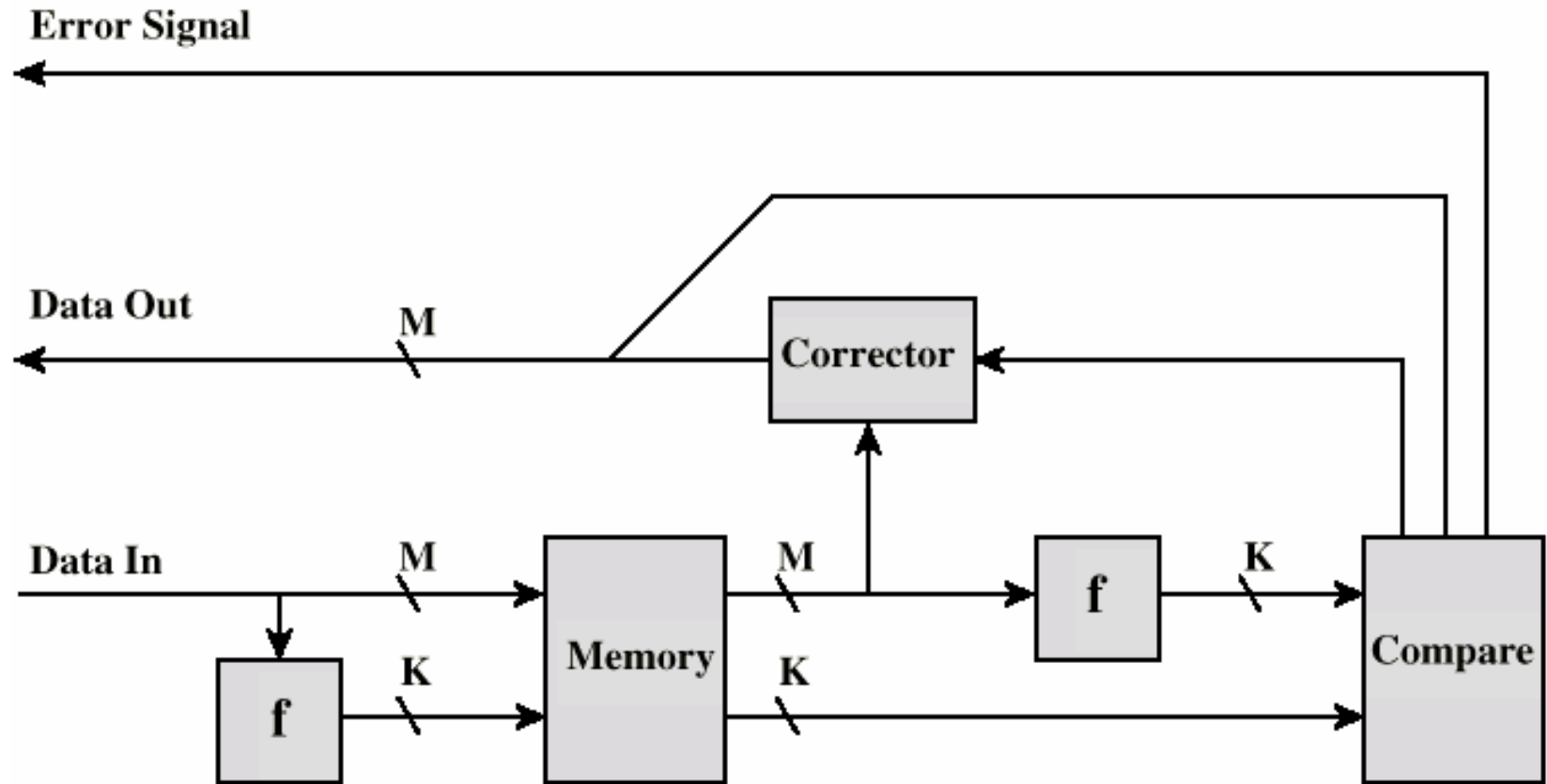
Organización Módulo de 1MB



Corrección de Errores

- Fallas graves
 - Defecto permanente
- Fallas recuperables
 - Aleatorias, no destructivas
 - No hay daño permanente
- Se detecta utilizando el código de corrección de Hamming

Funcionamiento del código de corrección



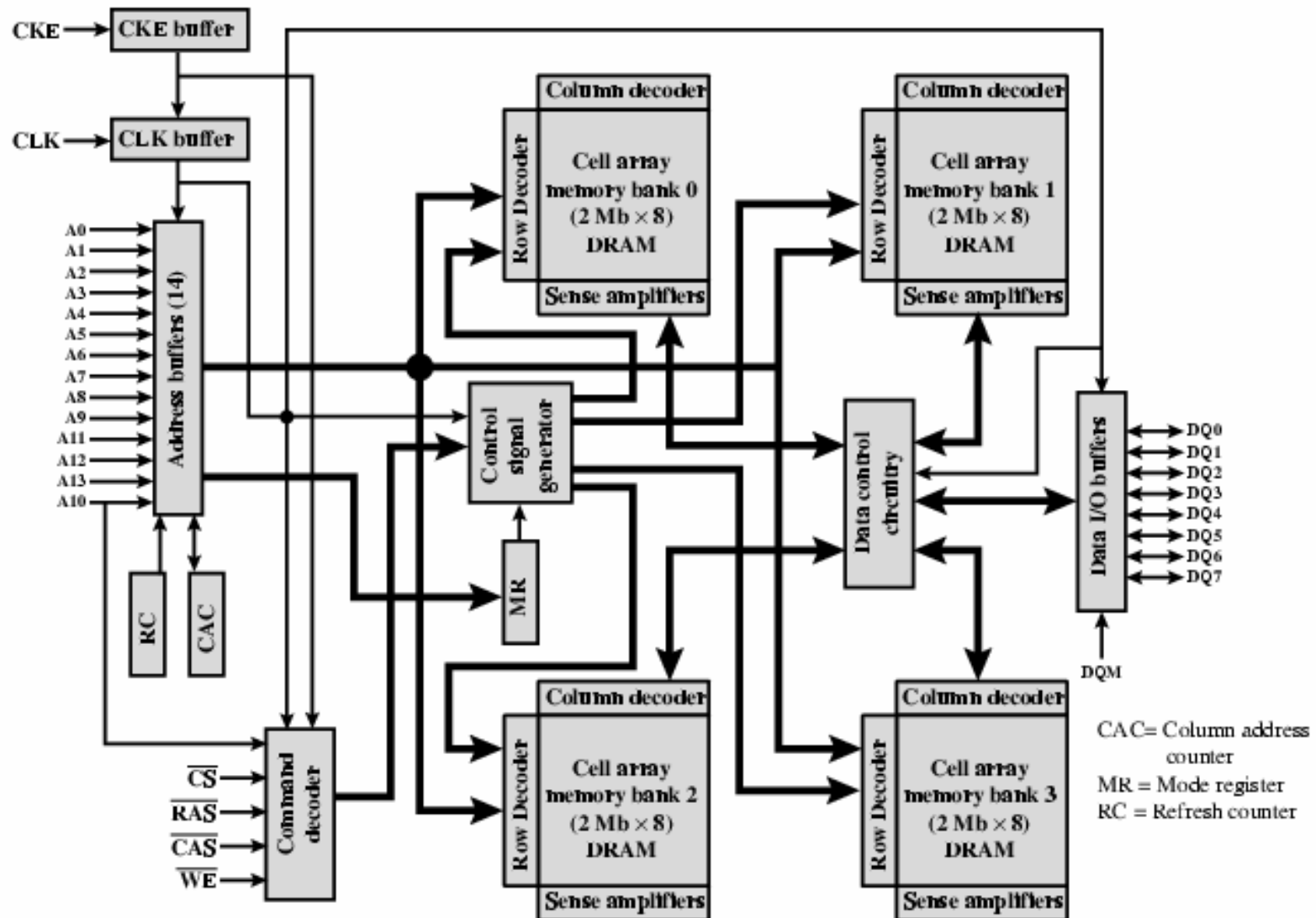
Organización avanzada de DRAM

- La DRAM no ha cambiado mucho desde sus primeros diseños
- DRAM Mejorada (EDRAM)
 - Contiene algo de SRAM
 - SRAM sostiene la última línea leída
- DRAM cache (CDRAM)
 - SRAM
 - Se usa como cache o buffer serie

DRAM Sincrónica(SDRAM)

- Su acceso esta sincronizado con un reloj externo
- Se presenta la dirección a la RAM
- La RAM encuentra el dato (la CPU espera como con una DRAM convencional)
- Ya que la SDRAM mueve datos con el reloj del sistema, la CPU sabe cuando el dato será leído
- La CPU no tiene que esperar y puede realizar otras operaciones
- El modo Burst permite a la SDRAM transferir bloques de datos rápidamente
- DDR-SDRAM envía los datos al doble de velocidad por ciclo de reloj (aprovecha los dos flancos)

SDRAM



Temporización SDRAM

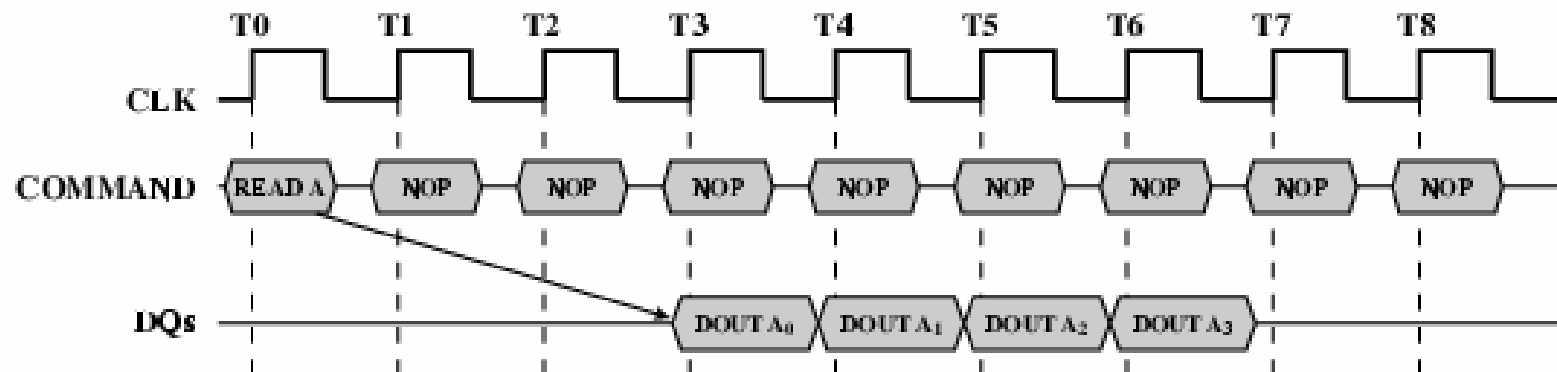
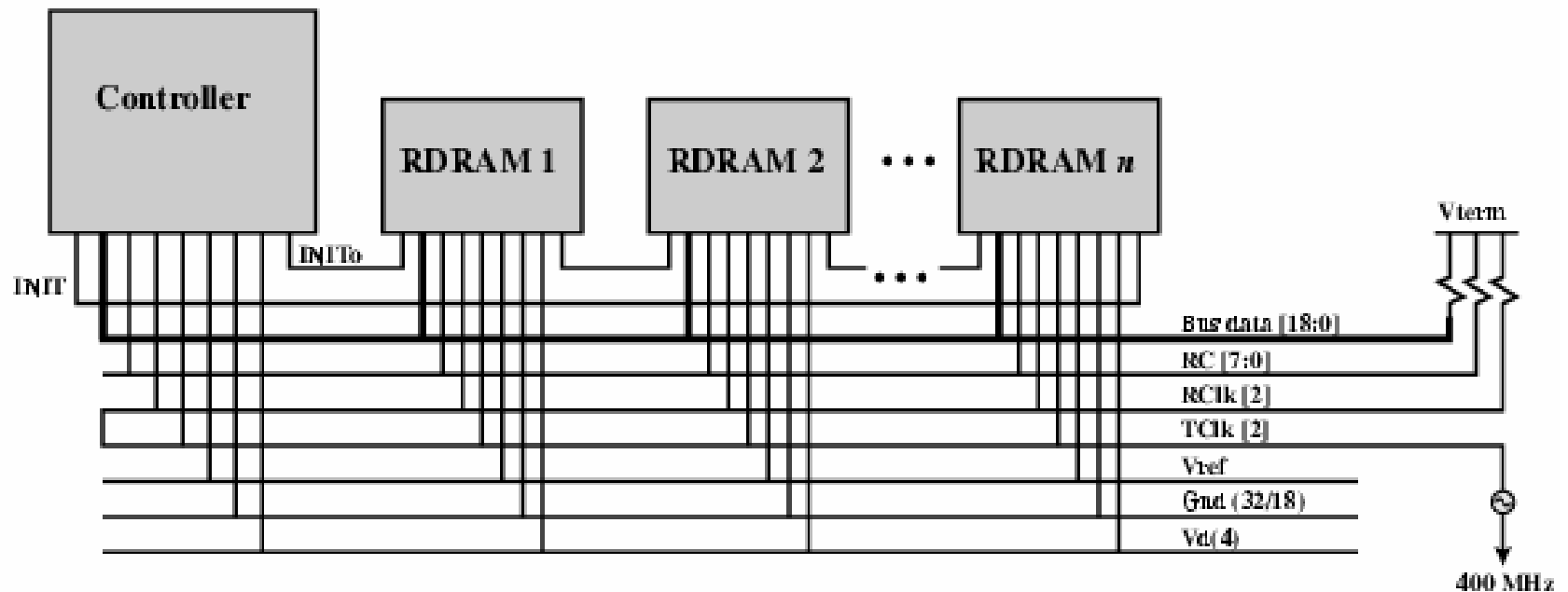


Figure 5.13 SDRAM Read Timing (Burst Length = 4, CAS latency = 2)

RAMBUS

- Adoptada por Intel para Pentium & Itanium
- Principal competidos de la SDRAM
- Encapsulado vertical – todos los pines de un solo lado
- Los datos se intercambian por 28 líneas < 12 cm. de longitud
- El bus puede direccionar hasta 320 chips RDRAM a 1,6Gbps
- Protocolo de bloque asíncrono
 - Tiempo inicial de acceso de 480ns
 - Después se transfiere a 1,6 Gbps

Diagrama de RAMBUS



DDR SDRAM

- La SDRAM puede enviar datos una sola vez por señal de reloj
- Double-data-rate SDRAM puede enviar datos dos veces por ciclo
 - En ambos flancos

Lecturas

- Capítulo 4
- The RAM page