

CONVERSION DE SEÑALES

La información que se obtiene desde el mundo físico debe ser convertida a una forma adecuada para que pueda ser procesada en una computadora. En esta unidad describiremos los conceptos básicos de transformación de la señal analógica, que representa una magnitud física, en una señal digital. La figura 1 muestra de manera secuencial, la manera en que las variables físicas entran en la computadora. Los bloques 1 y 2 en la figura 1(a) corresponden al sensor específico usado. Detalles de diseño con sensores se discuten en detalle en unidades posteriores de este curso La unidad anterior (amplificadores operacionales) describe las herramientas para realizar el acondicionamiento de seriales. El proceso de muestreo de señales analógicas [bloque 3 de la figura 1(a)]. Las características de la digitalización (códigos binarios) se describen en otras referencias [1]. la señal a la salida de un DAC [figura 1(b), bloque 2) también debe ser acondicionada para poder reconstruir una señal analógica. En esta unidad presentamos algunos métodos para realizar este proceso de reconstrucción.

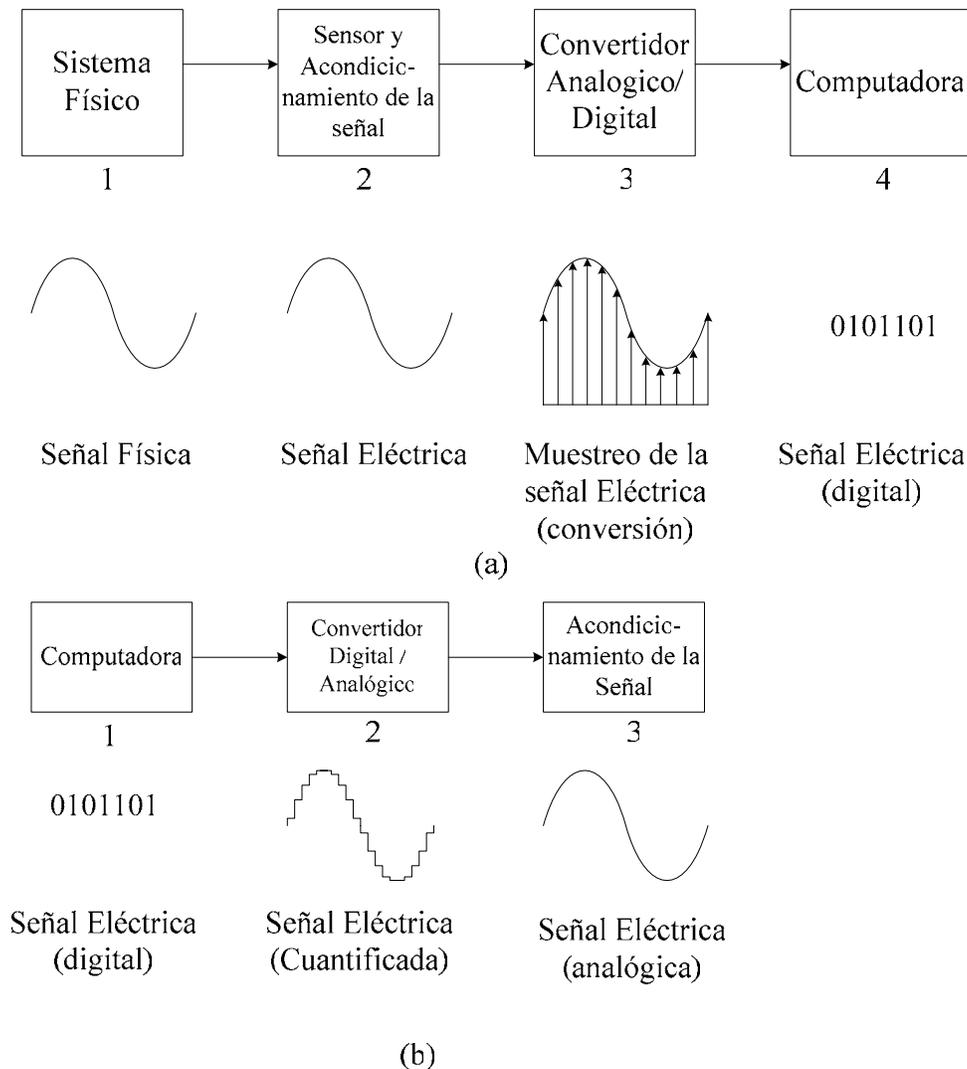


Figura 1. Sistemas de conversión de señales. (a) Conversión analógico /digital
(b) conversión digital / analógico



CONCEPTOS DE MUESTREO

En esta sección discutiremos las condiciones matemáticas que deben ser seguidas para obtener una función de tiempo discreto de la señal analógica, incluyendo los métodos para la reconstrucción de la señal de salida de un DAC y las reglas para evitar el efecto aliasing.

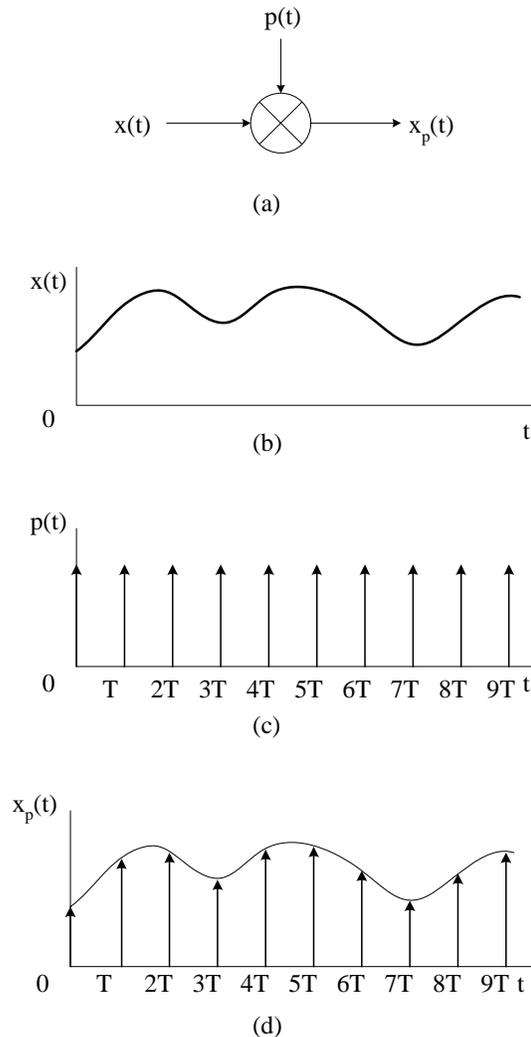


Figura 2. Muestreo (a) Una señal $x(t)$ es multiplicada por un tren de impulsos $p(t)$, dando $x_p(t)$ (b) Señal modulante $x(t)$ (c) Señal portadora $p(t)$ (d) La señal modulada es un tren de impulsos con amplitudes limitadas por $x(t)$ como una envolvente

Teorema de muestreo

Una señal analógica, tal como se obtiene de un transductor o sensor, representa algún parámetro físico definido para cada instante de tiempo. En otras palabras, una señal analógica es una función en tiempo continuo.



La señal debe ser convertida a un formato adecuado para su procesamiento en computadora, ya que el procesador entiende solamente números. Una serie de valores numéricos equivalentes a la señal analógica debe ser presentada a la computadora.

El caso ideal sería procesar todos los valores definidos de la variable analógica. Sin embargo, debido a limitaciones de memoria en el PC, debemos limitar el número de puntos muestreados. Esos valores, tomados en instantes discretos de tiempo, constituyen las muestras de la señal analógica. La velocidad a la cual una señal es muestreada determina la exactitud de la representación como una función de tiempo discreto.

Procedamos a analizar el proceso matemático de muestreo. Si una señal dada $x(t)$ en la figura 2(a) se multiplica por otra señal $p(t)$ consistente en un tren de impulsos, la señal resultante $xp(t)$ será también un tren de impulsos, pero con sus amplitudes limitadas por $x(t)$ como una envolvente. Este es el proceso de modulación. la señal $x(t)$ [figura 2(b)], es llamada la señal modulante, $p(t)$ es la portadora [figura 2(c)], y la señal modulada es representada por $xp(t)$ en la figura 2(d).

También deseamos recuperar la señal analógica de su representación en tiempo discreto. El teorema de muestreo establece que bajo ciertas condiciones una señal en tiempo continuo puede ser representada por y recuperable del conocimiento de sus valores instantáneos o muestras espaciadas igualmente en el tiempo. (Oppenheim & Wilsky, 1983)

Hasta ahora, hemos considerado la señal analógica y su función muestreada en el dominio del tiempo. Para estudiar las condiciones para recuperación, considere las señales de la figura 2 en el dominio de la frecuencia. Podemos encontrar las transformadas de Fourier para obtener el contenido de frecuencias de esas señales modulante, portadora y modulada.

La figura 3 (a) representa el espectro de frecuencias de la señal $x(t)$ mostrada en la figura 2(b). Como puede verse, $X(f) = 0$ para frecuencias mayores que f_M , o sea que $x(t)$ más allá de aquella que representa a f_M ; se dice entonces que $x(t)$ es de banda limitada. El espectro para un tren de impulsos espaciados en el tiempo por T [figura 2(c)] es también una secuencia de impulsos separados por $1/T = f_s$, la frecuencia de muestreo.

Para recuperar la señal analógica $x(t)$ de su representación muestreada se debe recuperar totalmente su espectro en el dominio de la frecuencia. Un filtro paso-bajo, cuya respuesta en frecuencia es indicada por líneas punteadas en la figura 3(c), recuperará $x(t)$ si la frecuencia de corte f_c es mayor que f_M .

A partir de la discusión anterior pareciera extremadamente fácil recuperar una señal muestreada. Sin embargo, hemos trabajado bajo la hipótesis de que la señal es de banda limitada y que la frecuencia de muestreo f_s no es mayor que f_M , pero si de hecho $(f_s - f_M)$ es mayor que f_M [figura 3(c)]. Así:

$$f_s - f_M \geq f_M \rightarrow f_s \geq 2f_M$$

o, f_s es mayor que el doble de f_M .

Ahora podemos completar el teorema de muestreo. las condiciones para representación y recuperación exacta son:

- La señal debe ser de banda limitada.
- Y la frecuencia de muestreo no debe ser menor que el doble de la frecuencia más alta que se encuentre presente en la señal.

En el mundo real desafortunadamente esas condiciones no son fáciles de cumplir. las señales que vienen de un sensor tendrán seguramente un número infinito de armónicas, y para incrementar la frecuencia de



muestreo se requeriría para funciones analógicas que cambian rápidamente- procesamiento más veloz y más capacidad de memoria en la PC.

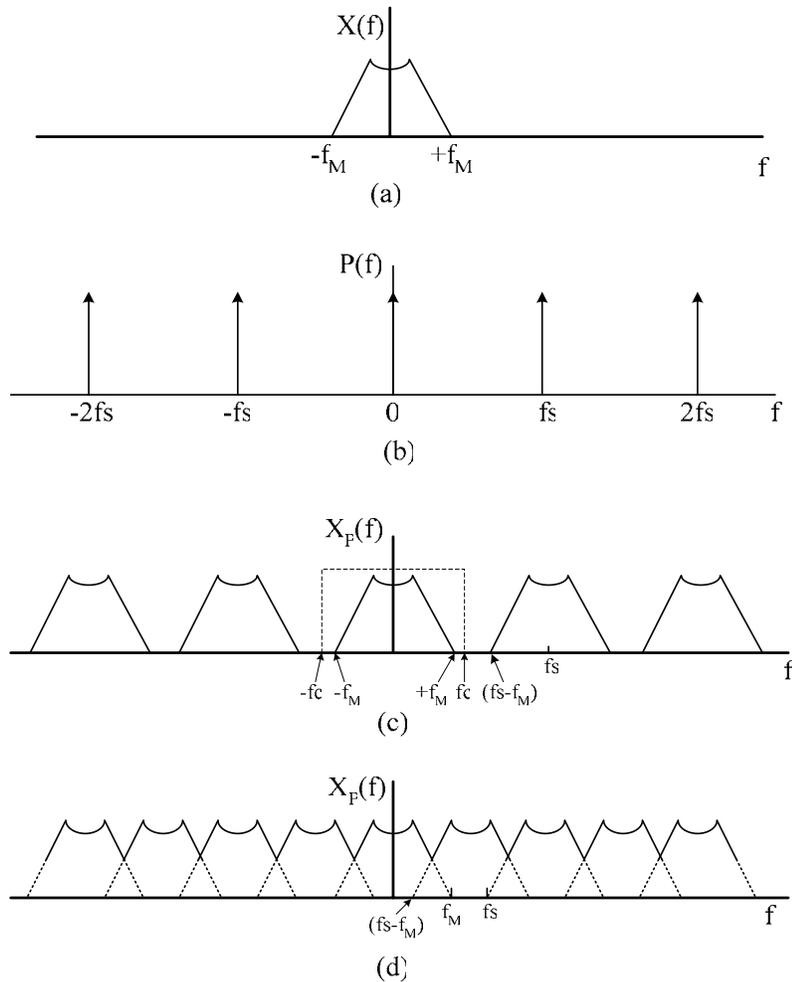


Figura 3. Transformada de Fourier de las señales en la figura 2. (a) la señal modulante $x(t)$ tiene un contenido de frecuencias indicado por $X(f)$. (b) Armonicas de un tren de impulsos $p(t)$. (c) El espectro de la señal modulada es un patron repetitivo del espectro de $x(t)$. La señal modulante puede ser recuperada totalmente por filtrado paso-bajo. (d) Espectro de la señal modulada para una frecuencia baja de muestreo. El traslape de los patrones del espectro de $x(t)$ se debe al *aliasing*

La figura 4 muestra una señal real limitada por el uso de un filtro paso bajo antes del muestreo. La información contenida en las frecuencias superiores se pierde, y esto constituye lo que se llama un error de omisión. Todo el procesamiento se hace sobre una señal que no es la señal original Si la información que se pierde por el filtrado no es importante, este proceso será válido en tanto f_s es mayor que el doble de f_M .



Aliasing

Cuando la señal muestreada es menor que el doble de la mayor frecuencia de la señal, entonces el espectro de $x(t)$ no es replicado en $X_p(f)$ y no puede ser recuperado por medio de filtrado paso-bajo (Oppenheim & Wilsky, 1983). La figura 3(d) muestra el traslape que ocurre para frecuencias de muestreo bajas, este efecto es conocido como aliasing.

Para una comprensión mejor de este efecto. consideremos una onda coseno pura de frecuencia f_0 , que es: $\cos(2\pi f_0 t)$

cuyo espectro se presenta en la figura 5(a). Si muestreamos esta señal con un tren de impulsos a una frecuencia f_s , el espectro tendrá una serie infinita de pares de impulsos como en la figura 5(b) (para claridad en el dibujo se ha marcado cada par correspondiente de impulsos con un número igual de rayas). Las frecuencias negativas son consecuencias matemáticas del proceso de demodulación, de manera que podemos concentrarnos en las frecuencias reales positivas.

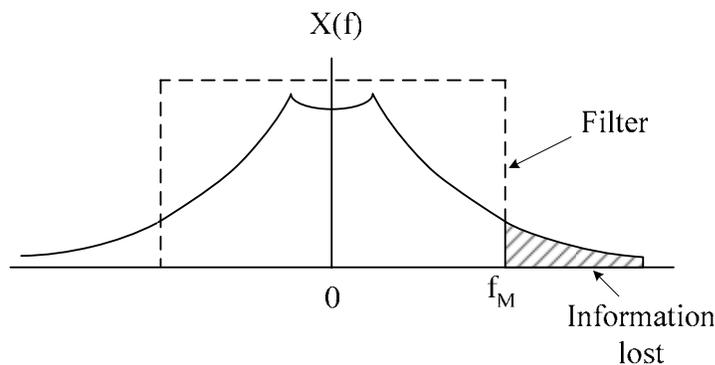


Figura 4. Espectro de una señal real $x(t)$. Un filtro paso bajo se usa para limitar la señal y evitar aliasing, sin embargo, la información de alta frecuencia se pierde

En la figura 5(b) la frecuencia de muestreo es $f_s > 2f_0$. Un filtro paso bajo cuya respuesta en frecuencia es indicada con líneas punteadas en la figura 5(b) puede recuperar completamente el espectro de la onda coseno.

Analicemos que sucede para frecuencias de muestreo menores, para $f_s < 2f_0$. Para clarificar este caso, en la figura 5(c) en lugar de disminuir la frecuencia de muestreo, la mantenemos constante e incrementamos f_0 .

Una mirada cuidadosa al par de impulsos generados por la modulación muestra que la señal que será recuperada por filtrado paso bajo, aunque sigue siendo una onda coseno, tiene una frecuencia $(f_s - f_0)$. Observe que el único cambio introducido en la figura 5(c) ha sido una relación menor de f_s a lo que el de la figura 5(b).

Resumimos esos resultados diciendo que cuando ocurre aliasing, la frecuencia original f_0 , se convierte en un alias de frecuencia menor $(f_s - f_0)$. Hemos visto el efecto aliasing muchas veces en películas del oeste. Las ruedas de un vagón parecen rotar más lentamente que el movimiento real, y eventualmente en la dirección opuesta esto es debido a la relación entre la velocidad rotacional de las ruedas y la frecuencia de muestreo (cuadros por segundo) de la cámara de cine.

Aliasing es indeseable cuando se realizan mediciones de la mayoría de sensores. Si embargo, para medir la velocidad rotacional de una máquina, por ejemplo se puede usar una luz estroboscópica (muestreo) gracias al aliasing.

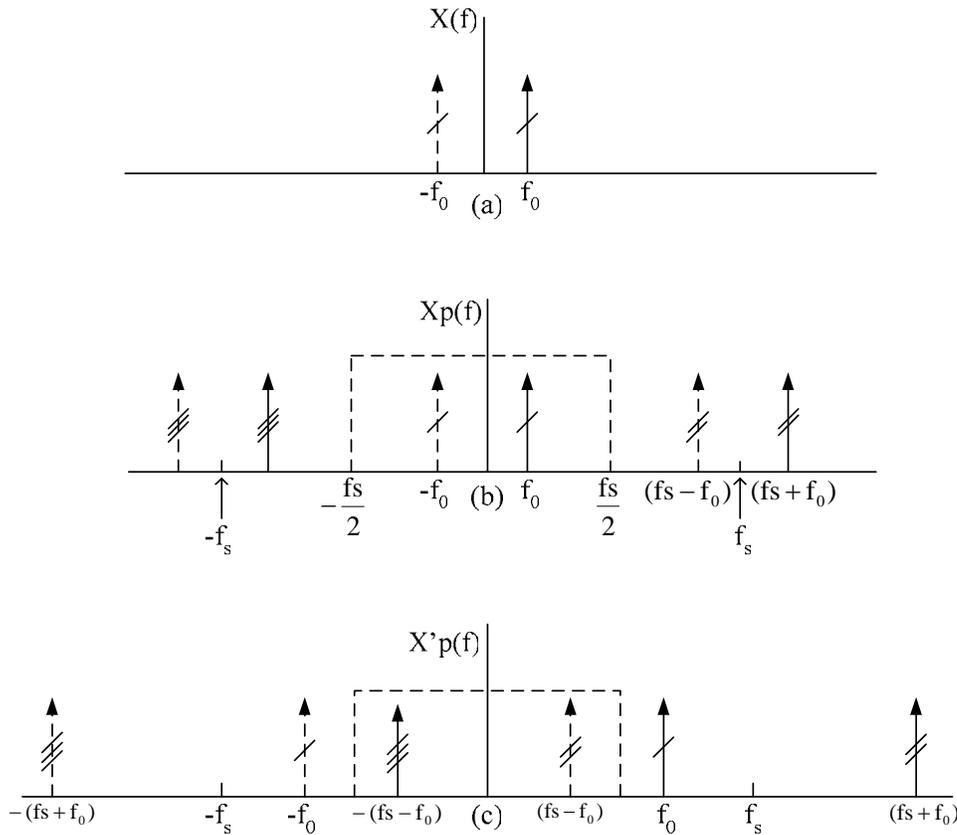


Figura 5. Aliasing (a). Espectro de una coseno de frecuencia f_0 . (b) Espectro de la onda cosenc modulada por un tren de impulsos de frecuencia f_s . Un filtro paso bajo (línea punteada) recupera la señal. (c) efectos de aliasing. El filtro reconstruye una onda coseno d frecuencia menor $f_s - f_0$

CONVERTIDORES DIGITAL-ANALOGICO

La figura 6 muestra un diagrama de bloques típico para un DAC de n-bits. Tiene un set de n latches que retienen el número binario que debe ser convertido en un nivel de voltaje analógico. La salida de cada latch controla un interruptor a transistor que está asociado con un resistor particular en la red resistiva. Una referencia de voltaje de precisión conectada a la red resistiva controla el rango del voltaje de salida. El operacional de salida produce una función de suma para sumar los resultados de activar simultáneamente interruptores múltiples. Para un DAC de propósito general simple, todos los componentes pueden ser fabricados en un solo circuito integrado, los DACS de alto rendimiento capaces de producir alta resolución y velocidades de muestreo elevadas se construyen con técnicas híbridas con múltiples chips o con componentes discretos.

La figura 7 muestra el diseño conceptual básico de un DAC de 4 bits. Los 4 bits establecidos en el registro controlan los cuatro interruptores para producir 16 posiciones diferentes de los interruptores. El operacional está conectado como un circuito sumador. Para cierre de un interruptor determinado, el voltaje de salida está determinado por el producto de la referencia de voltaje y la relación entre el valor



del resistor de realimentación y el del resistor conmutado. Por ejemplo, si el switch MSB se cierra para el caso en donde el bit 3 está en el nivel lógico 1.

$$e_{out} = \frac{R}{2R} E_{REF} = \frac{E_{REF}}{2}$$

Para el caso donde el bit 1 es 1

$$e_{out} = \frac{R}{8R} E_{REF} = \frac{E_{REF}}{8}$$

Cada switch cambia el voltaje de salida por una potencia de 2 comparado al switch adyacente. Si Switch múltiples son cerrados, el voltaje de salida resultante es la suma de los efectos combinados de los switches. Por ejemplo si los bits 3 y 1 son ambos 1, el resultado es:

$$e_{out} = \frac{E_{REF}}{2} + \frac{E_{REF}}{8}$$

De esta manera se pueden obtener 16 voltajes discretos diferentes correspondientes a los 16 patrones binarios de entrada. Los valores de los resistores deben estar relacionados de manera exacta para producir la relación lineal deseada en el voltaje de salida.

Para implementar un DAC en un solo chip, se presenta un problema con este diseño. El rango de valores de resistencia requeridos es grande. Este ejemplo de bits requiere un resistor LSB que es 16 veces más grande que el resistor de realimentación.

En general, un convertidor de n-bits requiere n+1 resistores, y el resistor LSB debe ser 2^n veces mayor que el de realimentación, un valor realista de R que puede ser fabricado como parte de un circuito integrado es 5K. Así un DAC de 8 bits requeriría nueve resistores, con un rango de valores que va desde 5K hasta 1.28 M (256 x 8K). Un DAC de 12 bits requerirá 13 resistores teniendo valores poco realistas de hasta 20.28 MΩ.

Tales valores no son realizables en tecnología de circuitos integrados debido a limitaciones de espacio en un chip. Un chip de circuito integrado típico ocupa típicamente (0.25 pulg. x 0.25 pulg.) ya que el valor de un resistor es proporcional a la resistividad del material usado para fabricarlo, y también a su longitud, y es inversamente proporcional al área de su sección transversal, por lo que el rango de resistividades que se pueden conseguir en un material semiconductor es limitado. El área de sección transversal está determinada principalmente por su ancho, puesto que la profundidad de la estructura semiconductor es microscópica. Esta resistencia está determinada principalmente por la longitud y el ancho.

Valores elevados de resistencia requieren proporciones sustanciales de superficie de chip. Por lo anterior, este tipo de redes resistivas no es práctica en un DAC de un solo chip.

La tecnología IC es mejor para fabricar la misma estructura una y otra vez sobre el mismo chip. Los dispositivos como transistores se pueden acoplar (sus características) estrechamente. De esta manera es deseable diseñar un convertidor con valores pequeños y valores iguales. La figura 8 muestra un diseño que es funcionalmente equivalente al de la figura 7. Sin embargo, este usa solo dos valores de resistencias



R y $2R$. La estructura de esta red es tal que la corriente entrando a través de una rama en cualquier nodo se divide en dos a través de las dos ramas, dejando el nodo cuando sale en su camino rumbo hacia el extremo de la escalera (de resistencias). Cada Switch produce el mismo resultado en el voltaje de salida que el switch correspondiente en el diseño precedente. Este diseño requiere casi el doble de resistencias que el diseño directo ($2n + 1$), pero estas resistencias son de valor bajo, típicamente de $5K$ y $10 K$. Cada una requiere una cantidad modesta de "capital", y pueden fabricarse de manera que sus valores se acoplen estrechamente en valor.

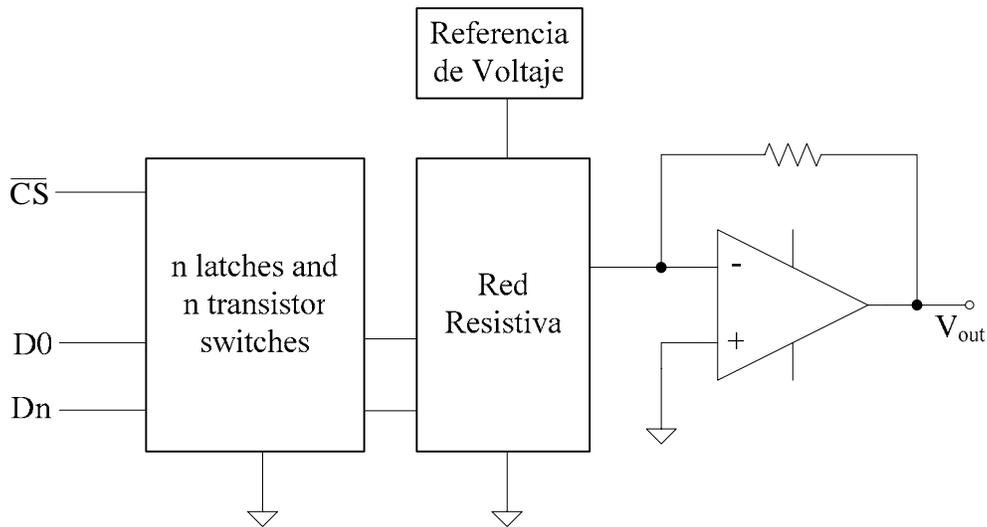


Figura 6. Diagrama de bloques de un DAC

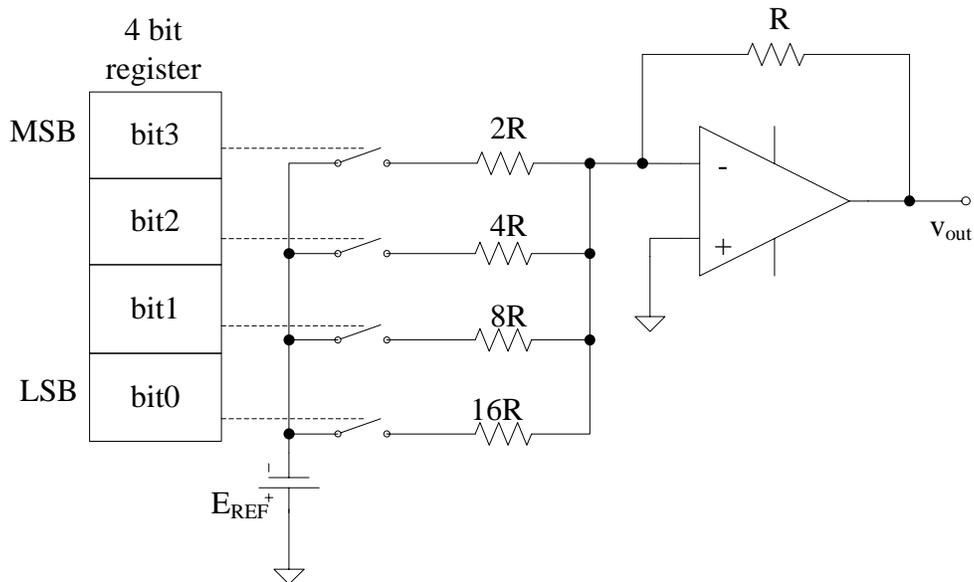


Figura 7. Diseño básico de DAC



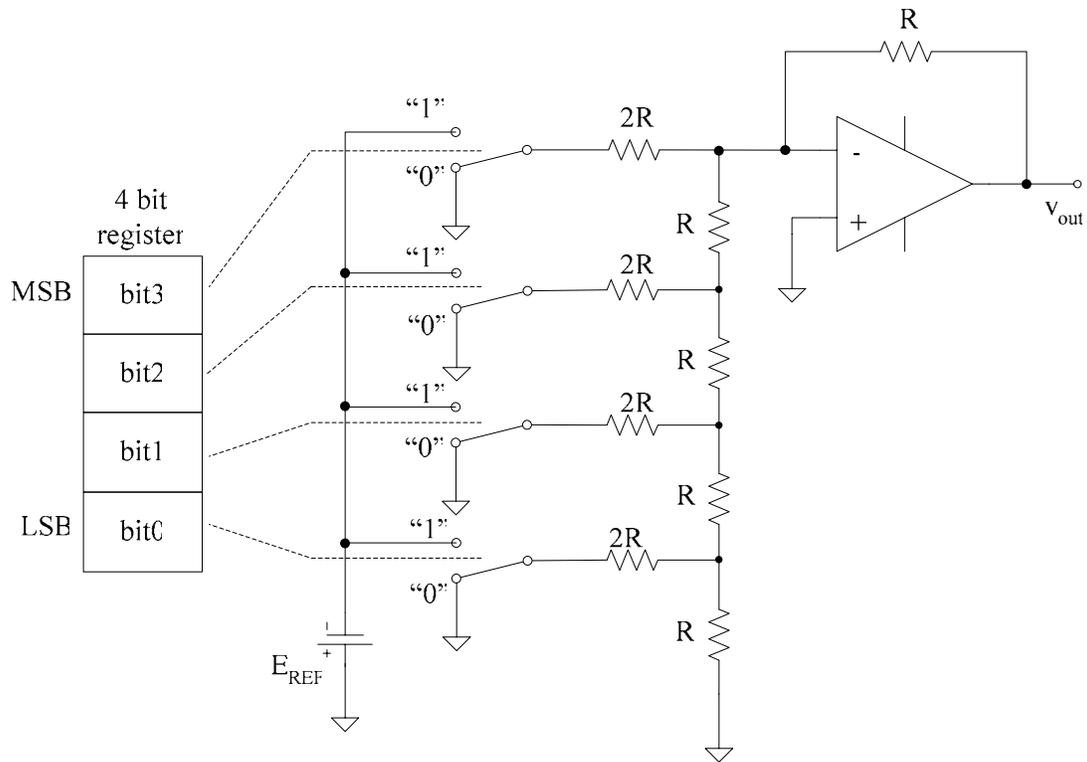


Figura 8. Diseño práctico de DAC para un circuito monolítico (de un solo chip) basado en una red de escalera R-2R

La figura 9 muestra la circuitería interna real para un DAC de 8 bits, Analog Devices AD588. Un latch de 8 bits acepta el byte del bus de datos cuando las líneas chip select están activas [ambas]. Este número de 8 bits se almacena en el latch hasta que ocupe un chip select subsecuente. Cada latch controla un switch a transistor que actúa sobre una red resistiva R-2R. El operacional final tiene una red resistiva accesible al usuario para controlar el rango de voltaje de salida. Uniendo los tres pines de salida se establece un rango de salida de 0-2.56 voltios.



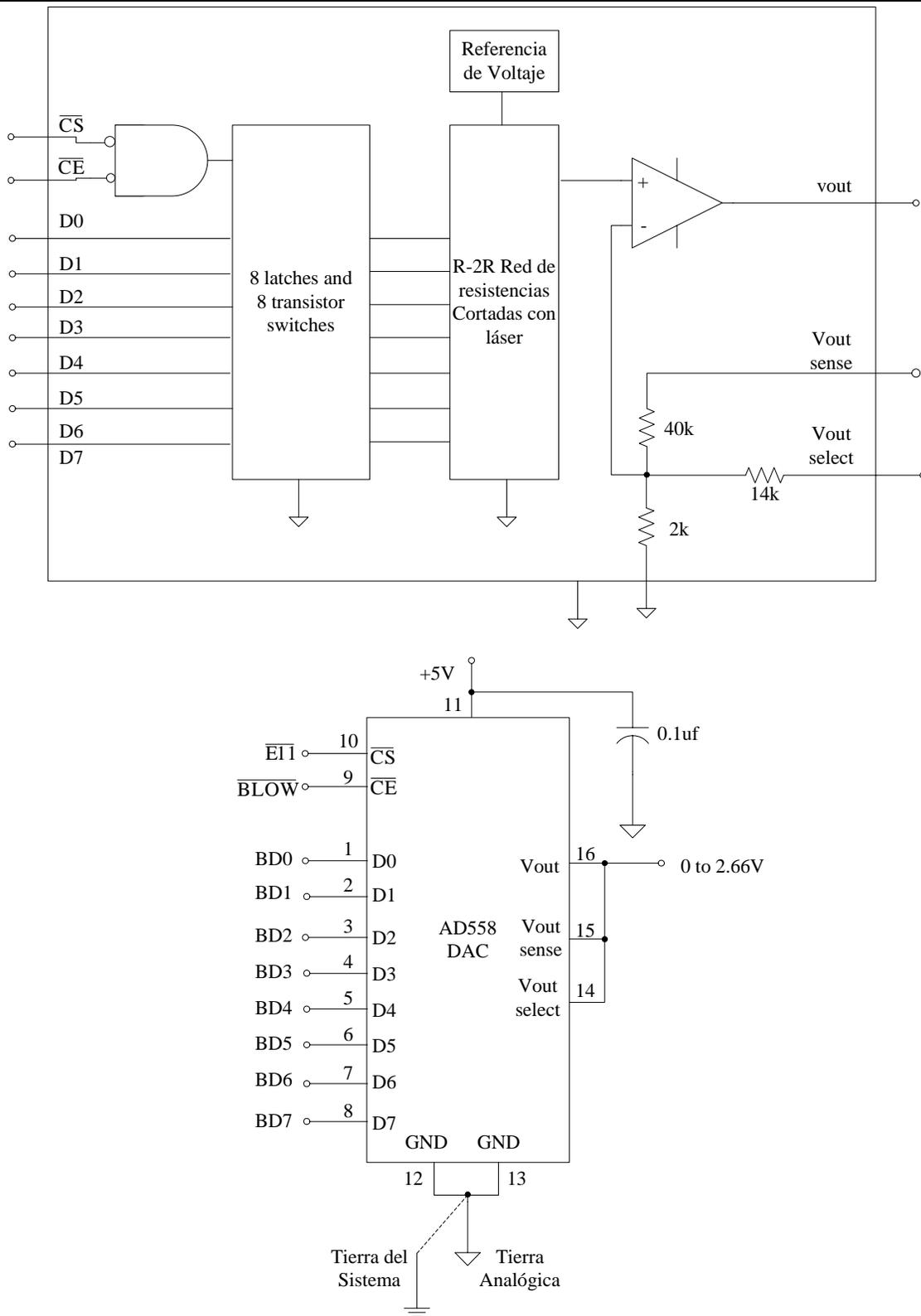


Figura 9. (a) Circuitería interna real para un DAC de 8 bits. (b) Diagrama externo de pines para el AD585.



CONVERSION ANALOGICO-DIGITAL

Fundamentos de ADC

En esta sección nos introducimos a los conceptos básicos, definimos algunos de los términos usados comúnmente, y describimos las entradas y salidas de un ADC típico.

Relaciones Básicas Entrada/Salida

La conversión analógico-digital es esencialmente una operación de producir relaciones. La señal analógica de entrada v_i se convierte en una fracción x comparándola contra una señal de referencia V_i . La salida digital del convertidor es una representación codificada de esta fracción. La figura 10(a) ilustra esta relación fundamental. Si el código de salida del convertidor consiste de n bits, el número de niveles discretos de salida es fijado en 2^n . Para una correspondencia uno-a-uno, el rango de entrada debe ser cuantificado usando este mismo número de cuantos. Cada nivel (cuanto) es el valor analógico por el cual difieren dos códigos adyacentes. Esto se conoce como tamaño del bit menos significativo (LSB por sus siglas en inglés) Así:

$$Q = \text{LSB} = \frac{\text{FS}}{2^n}$$

donde Q es un cuanto, LSB se refiere al valor analógico de un LSB, y FS es el nivel analógico de entrada de plena escala.

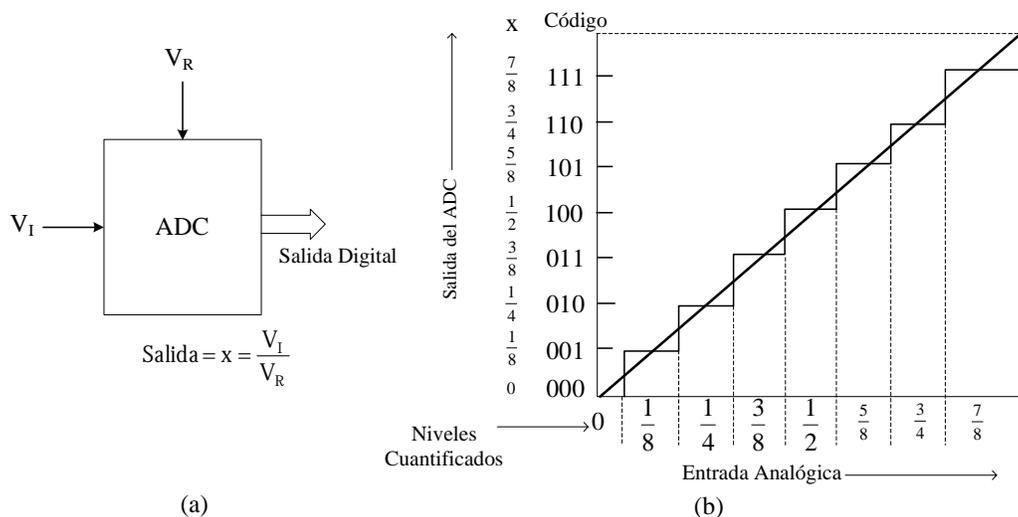


Figura 10. Convertidor Analógico - Digital (a) Relaciones básicas. (b) Características ideales de un ADC de 3 bits.

Todos los valores analógicos dentro de un cuanto dado se representan por el mismo código digital, el cual generalmente corresponde al valor del rango medio llamado umbral. Puesto que la señal de entrada puede diferir del nivel del umbral hasta en $+1/2\text{LSB}$ y aun ser representado por el mismo código de salida, se dice que existe una incerteza de cuantificación inherente de $+1/2\text{LSB}$ en cualquier proceso de conversión A/D. Este efecto solo puede reducirse aumentando el número de bits en el código de salida del convertidor. La



figura 10(b) muestra esta relación de conversión para un convertidor de 3 bits. El tamaño del LSB es $1/8$ FS y el rango de entrada está dividido en ocho niveles distintos de 0 a $7/8$ FS. Observe que la salida máxima del número binario 111 no corresponde a plena escala sino a $7/8$ FS. Con uno de los códigos asignados al nivel cero, la salida máxima de un ADC siempre corresponde a un valor analógico de plena escala menos 1 LSB.

Resolución del Convertidor

Este importante término de convertidores se define como el menor cambio requerido en la entrada analógica de un ADC para cambiar su código de salida por un nivel. Este es especificado generalmente asumiendo un convertidor ideal y por lo tanto refleja una capacidad del convertidor en vez de su funcionamiento real. Este puede ser en porcentaje de plena escala, en milivoltios para un rango de entrada dado, o simplemente y más comúnmente como el número de bits del convertidor.

Exactitud del convertidor

Para ADCS la exactitud se define como la diferencia entre la entrada real de voltaje y el equivalente pesado de plena escala del código de salida binario. Se llama exactitud absoluta cuando se expresa en voltios reales. Se especifica más comúnmente exactitud relativa a la señal analógica en tamaño LSB y es llamado exactitud relativa. En cualquier caso es la suma máxima de errores del convertidor, incluyendo el error de cuantificación. Las especificaciones de error de convertidores generalmente listan los errores individuales en tamaño LSB. Para convertidores que no requieren ajustes de offset o de ganancia por parte del usuario, los errores totales no-ajustados pueden ser especificados (por ejemplo $+1/2$ LSB para el ADC0816). La exactitud no siempre puede ser incluida en las especificaciones cuando los errores individuales son dados separadamente, pero se puede calcular fácilmente.

Tiempo de conversión y velocidad de procesamiento

Después que un ADC recibe una orden, este requiere un tiempo finito, llamado tiempo de conversión t_c , antes de que el convertidor pueda producir datos de salida válidos. Los cambios del voltaje de entrada durante el proceso de conversión introducen una incerteza indeseable en la salida generada. La exactitud de conversión plena se obtiene solo si esta incerteza se mantiene por debajo de la resolución del convertidor. Así para un convertidor de n bits que tiene un tiempo de conversión t_c ,

$$\left(\frac{dV}{dt} \right)_{max} \leq \frac{FS}{2^n t_c}$$

Por ejemplo, considere una señal entrada senoidal de amplitud A y frecuencia f convertida por un convertidor monolítico de 8 bits con un tiempo de conversión de 100us:

$$v_i = A \sin(2\pi ft)$$

La velocidad de cambio de la señal de entrada esta dada por: $\left(\frac{dvi}{dt} \right)_{max} = 2\pi f A \cos(2\pi ft)$



Y la velocidad máxima de cambio está dada por $\left(\frac{dV}{dt}\right)_{max} = 2\pi fA$

Si hacemos el valor de plena escala FS igual a 2A, el valor pico a pico de la onda senoidal, tenemos.

$$2\pi fA \leq \frac{2A}{2^n t_c}$$

$$f \leq \frac{1}{2^n t_c \pi}$$

$$f_{max} = \frac{1}{2^n t_c \pi} = 12.4Hz$$

Así, aun para señales senoidales relativamente suaves estamos limitados a una frecuencia realmente baja de 12.4Hz. Esto sería aceptable en muy pocas aplicaciones. Para resolver esta dificultad se usa un circuito sample-and-hold (S/H), entre la señal de entrada y el ADC. Un S/H es un circuito analógico sencillo que muestréa rápidamente la señal de entrada al recibir una orden y luego retiene (hold) la señal relativamente constante mientras el ADC realiza la conversión. El intervalo de tiempo involucrado en calcular la velocidad de cambio permisible del voltaje de entrada es ahora un pequeño retardo de tiempo llamado tiempo de apertura, t_a . Este retardo ocurre en circuitos S/H entre el tiempo en que se recibe el comando hold y el instante en que la transición real al modo hold tiene lugar. Este retardo es típicamente del orden de unos pocos nanosegundos. Si usamos un S/H teniendo un tiempo de apertura de 20 nS, y recalculamos la frecuencia permisible máxima.

$$f_{max} = \frac{1}{2^n t_a \pi} = 62.17kHz$$

Este es un valor razonablemente bueno para un convertidor de 100us. El valor de f_{max} puede ser aumentado aún más (por un factor de hasta 100) si el comando S/H es adelantado por el retardo de apertura. La incerteza en el cálculo de f_{max} es ahora un retardo más pequeño llamado jitter.

La velocidad de procesamiento es otro parámetro importante. Se define como el número de veces que la señal de entrada puede ser muestreada manteniendo plena exactitud. Se calcula como el inverso del tiempo total requerido para una conversión exitosa. Es igual al inverso del tiempo de conversión solamente si no se usa S/H.

Entradas Y Salidas Del Convertidor.

Señal de entrada analógica. La mayoría de convertidores están diseñados para aceptar una señal de entrada diferencial o entrada con tierra de medida de una sola polaridad. La señal debe ajustarse a un rango específico de entrada. Los rangos que se encuentran más frecuentemente son 0 a 10V y 0 a 5V. Si la señal real no barre completamente el rango de entrada, algunos de los códigos de salida del convertidor nunca serán usados. Esto constituye un desperdicio del rango dinámico del convertidor esto provoca un efecto relativamente mayor de los errores del convertidor en la salida. La mejor manera de evitar este problema es seleccionando primero el rango de entrada más adecuado para el convertidor y luego preajustando la escala de la señal de entrada usando un operacional.

En la mayoría de sistemas la señal de entrada generalmente requiere algún procesamiento, y el acoplamiento puede hacerse en la etapa final del circuito de acondicionamiento. Algunas veces un barrido reducido de señal de entrada puede ser resuelto atenuando la señal de referencia, dado que el convertidor ha sido diseñado para trabajar con una señal de referencia ajustable.



Si la señal de entrada es bipolar, todavía es posible usar un convertidor unipolar si se atenúa la entrada y luego se añade un offset tal como se muestra en la figura; Necesitamos usar un convertidor bipolar si la información sobre la polaridad es deseada en la salida. Esos convertidores tienen rangos de entradas bipolares, frecuentemente de 0 a $\pm 5V$, y generan salidas en códigos binarios bipolares tales como complemento dos, binario desplazado, magnitud de signo, y otros.

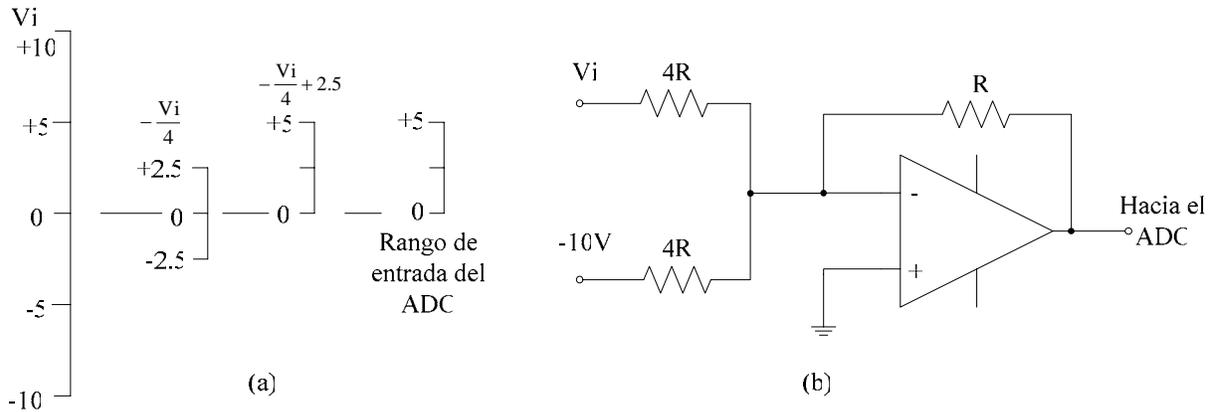


Figura 11. Adaptando una señal bipolar para un sistema unipolar (a) la señal de entrada se cambia de escala y se añade un offset (b) circuito que implementa esta función

Señal de Referencia. La figura 12 muestra las entradas y salidas de un ADC típico. Cada ADC requiere una señal de referencia para poder convertir la señal de entrada en una relación. Cualquier error en la señal de referencia, ya sea debido a ajustes iniciales o generados por fluctuaciones con el tiempo y la temperatura, aparecen como un error de ganancia en las características de transferencia del ADC. Una señal de referencia precisa y estable, es por lo tanto, esencial para obtener la exactitud plena del ADC. Los reguladores integrados constituyen una fuente satisfactoria de señal de referencia, si se puede asegurar que los cambios de la temperatura ambiente no serán dramáticos. Sin embargo, la mayoría de aplicaciones se pueden beneficiar de la estabilidad superior respecto a la temperatura que brindan las referencias de voltaje integradas de precisión a costo muy razonable.

Existen básicamente dos tipos de referencias de voltaje. Un tipo usa el mecanismo de ruptura [por polarización] inversa de un diodo zener compensado. Estos [zener] tienen un voltaje de referencia típico de alrededor de 6.9 Voltios y están disponibles con coeficientes de temperatura que van desde 100 ppm/°C hasta valores tan bajos como 5 ppm/°C. Los dispositivos más recientes de este tipo usan un diodo zener del tipo "subsurface" o "butied", llamado así debido a que la ruptura por avalancha en esos dispositivos toma lugar debajo de la superficie de silicio. Esto da como resultado una estabilidad de largo-plazo y características de ruido mejoradas. El restante tipo de referencia integrada es la referencia "band-gap". Esta deriva su voltaje de referencia de voltaje de la banda de energía del silicio. La compensación de temperatura en este tipo de referencia se obtiene utilizando los voltajes base-emisor de dos transistores polarizados a diferentes densidades de corrientes. Un voltaje de referencias de 1.2 V es típico de esos dispositivos.



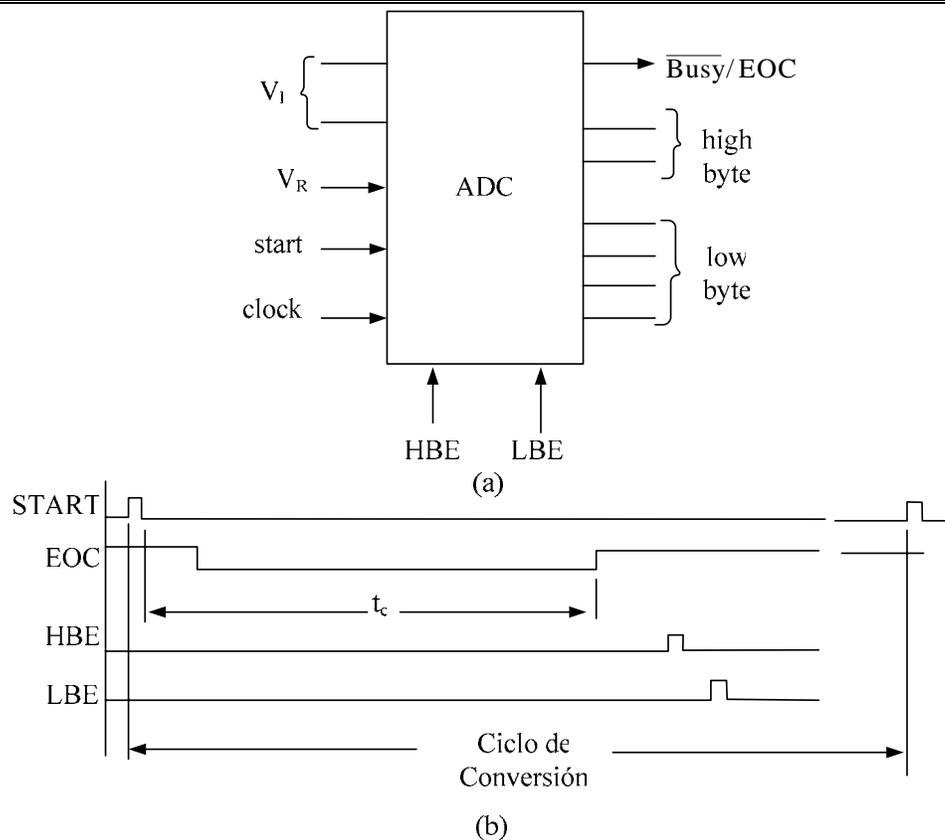


Figura 12. Convertidor Analógico - Digital (ADC) (a) Entradas y salidas típicas (b) Señales de control típicas

Cualquier tipo de referencia debería ser usada con un buffer, algunas veces incluido en el chip, tanto para conseguir el cambio de escala hasta el nivel deseado, como para mejorar su estabilidad del punto de funcionamiento. Tal tipo de referencia integrada aislada [buffered] constituye una buena fuente de referencia de voltaje para la mayoría de ADCs.

Salidas. La salida digital de un ADC se caracteriza por el número de bits (resolución) y por el tipo de código usado. Los convertidores con resolución de 8-bit y 12-bit son los más comunes. Sin embargo, los convertidores con resoluciones de 10 bits, 3 1/2 dígitos BCD, 14 bits y 16 bits también se pueden encontrar fácilmente. Los ADCs diseñados específicamente para medidores de panel digitales y aplicaciones de multímetros digitales, siempre producen salidas BCD.

Señales de Control. Todos los ADCs requieren de un reloj y ciertas señales de control para su funcionamiento. Las señales de control se explican mejor examinando un ciclo de conversión de un ADC típico. El dispositivo típico al cual se conecta (por ejemplo un microcontrolador) inicia el ciclo de conversión, el ADC baja [el estado de] su línea BUSY o su línea de fin de conversión (EOC). Esto indica al mundo externo que un proceso está en conversión y que los datos de salida no son todavía válidos, y que tampoco se debe iniciar un nuevo proceso. Al final de la conversión actual, el ADC pasa nuevamente al estado alto. Esta transición se usa generalmente para generar una interrupción en el microprocesador o para señalar en alguna manera el fin de la conversión al dispositivo externo. A continuación el dispositivo externo envía una señal de habilitación de salida (OE) al ADC para que este habilite la palabra de salida. Para convertidores con resolución mayor que 8 bits, la señal OE puede tomar la forma de una señal de habilitación del byte superior (HBE) y una de habilitación del byte inferior (LBE) de manera que la palabra convertida pueda ser colocada en un bus de datos de 8 bits de ancho en dos transferencias secuenciales.

TECNICAS DE CONVERSION A/D

ADC Tipo Contador (Counter Or Tracking).

La figura 13 (a) muestra un diagrama en bloques del ADC tipo contador. Este usa un contador para construir la salida del DAC interno hasta que iguala o excede la señal de voltaje. El contador se reinicializa (reset) al comienzo de la conversión y luego se incrementa en un bit por cada ciclo de reloj. La salida del DAC se incrementa en un LSB a la vez, como se ilustra en la figura 13(b). Un comparador detiene al contador cuando el voltaje del DAC ha aumentado hasta el nivel de entrada. La cuenta final es la salida digital. La mayor desventaja de esta implementación simple es que da como resultado que el tiempo de conversión varía con el nivel de la señal de entrada y puede llegar a ser muy largo. 2^n períodos para un convertidor de n bits cuando la señal de entrada está próxima al valor de plena escala

Una variación de esta implementación, llamada tipo "tracking" o "servo", usa un contador up/down para permitir que el voltaje en el DAC siga la señal de entrada continuamente, siempre que las variaciones de la señal de entrada no sean muy grandes. La fig.13(c) muestra el voltaje del DAC en un ADC tipo tracking. Deteniendo externamente el contador en un instante deseado podemos usar el ADC tipo tracking como un circuito S/H con salida digital y tiempo de retención (hold) arbitrariamente largo.

Simplemente deshabilitando el control subir/bajar (up/down), el convertidor puede ser usado para generar una salida digital correspondiente al valor máximo o mínimo alcanzado por la señal de entrada durante un período determinado.

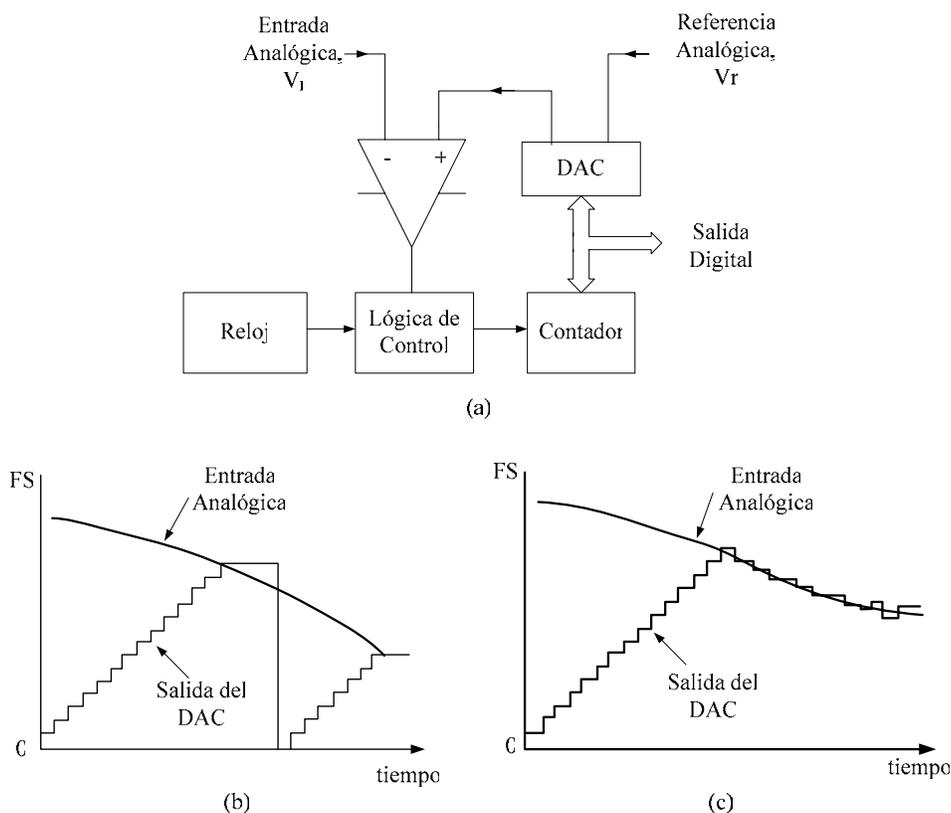


Figura 13. ADC tipo counter o tracking (a) Diagrama de bloques simplificado (b) formas de onda para el tipo contador (c) Formas de onda para el tipo tracking



ADC De Aproximaciones Sucesivas.

La técnica de aproximaciones sucesivas es la más usada para implementar la función de conversión en convertidores de media a alta velocidad. Esta técnica también usa un DAC interno. Sin embargo, a diferencia del ADC tipo contador, el DAC en el de aproximaciones sucesivas incrementa el nivel de voltaje hasta el valor de entrada en tan solo n ciclos de reloj para un convertidos de n bits. Este produce un tiempo de conversión que es mucho más corto y que no depende del nivel de la señal de entrada la técnica se basa en aproximar la señal de entrada con un código binario y luego revisar sucesivamente esta aproximación para cada bit en el código hasta que se obtiene la mejor aproximación. En cada paso de este proceso el valor binario actual de la aproximación se almacena en el registro de aproximaciones sucesivas (SAR por sus iniciales en inglés).

La figura 14 muestra el esquema básico y su funcionamiento para un ADC de 3 bits la conversión siempre comienza activando el MSB del SAR. Esto corresponde a un estimado inicial de la mitad del valor de plena escala de la señal de entrada. Un comparador controla la salida del registro, de manera que el MSB se desactiva si este estimado inicial ha superado a la señal de entrada, de lo contrario, el MSB se mantiene activado. En el siguiente período de reloj el controlador activa el siguiente MSB. De nuevo el comparador decide sobre la base del nivel de señal de entrada si el bit debe desactivarse o mantenerse. La conversión prosigue de una manera similar hasta que el LSB ha sido probado. En ese punto el contenido del SAR y el registro de salida contienen la mejor aproximación binaria de la señal de entrada y constituyen la palabra de salida digital. Puesto que las decisiones de bits se hacen en serie mediante aproximaciones sucesivas, la producción de salida serie es extremadamente fácil en este tipo de convertidor. Nótese que hemos asumido que la señal de entrada se mantiene constante durante el proceso de conversión.

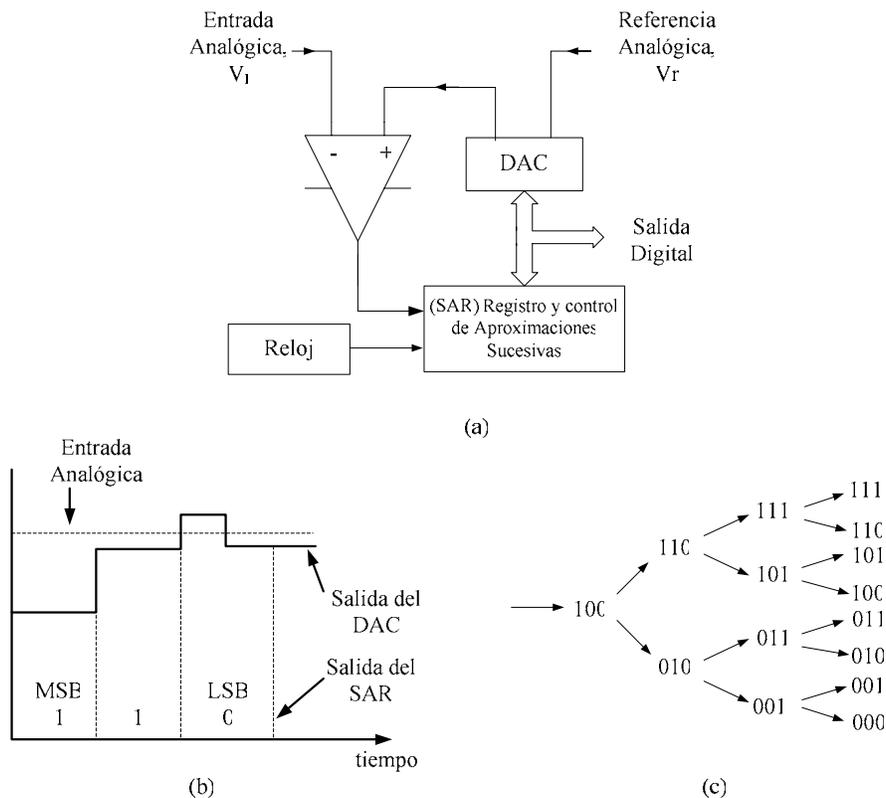


Figura 14 Convertidor ADC de aproximaciones sucesivas (a) Diagrama de bloques (b) formas de onda (c) Diagrama de flujo lógico



ADC de Integración de Doble Pendiente.

La figura 15 muestra la técnica de doble pendiente. El voltaje de entrada se integra durante un intervalo fijo de tiempo, T_1 , el cual generalmente corresponde al conteo máximo del contador interno. Al final de este intervalo el contador se reinicializa y la entrada del integrador se conmuta hacia la señal de referencia negativa. La salida del integrador decrece entonces linealmente hasta que alcanza cero Voltios cuando el contador se detiene y el integrador se reinicializa (reset). La carga ganada por el condensador del integrador durante el primer intervalo debe ser igual a la carga perdida durante el segundo [intervalo], de esta manera:

$$T_1 v_{i(avg)} = t_2 V_r$$

Por lo tanto

$$\frac{t_2}{T_1} = \frac{v_{i(avg)}}{V_r} = x$$

Observe que la relación entre intervalos de tiempo es también la cuenta binaria relativa al conteo completo del contador de aquí que la salida al final de t_2 es también la palabra de salida de un ADC con salida binaria. Este esquema se adapta fácilmente para ADCs que usan otros códigos de salida.

La técnica de doble pendiente ofrece un número de ventajas, particularmente sus excelentes características de rechazo de ruido. Puesto que el voltaje de entrada se integra durante un período de tiempo, cualquier ruido de alta frecuencia montado sobre la señal de entrada es cancelado. Más aún, el período fijo para promediar T_1 puede ser seleccionado para eliminar casi totalmente el ruido de frecuencias múltiplos de $1/T_1$ la frecuencia de línea se selecciona usualmente para este propósito (ruido a cancelar).

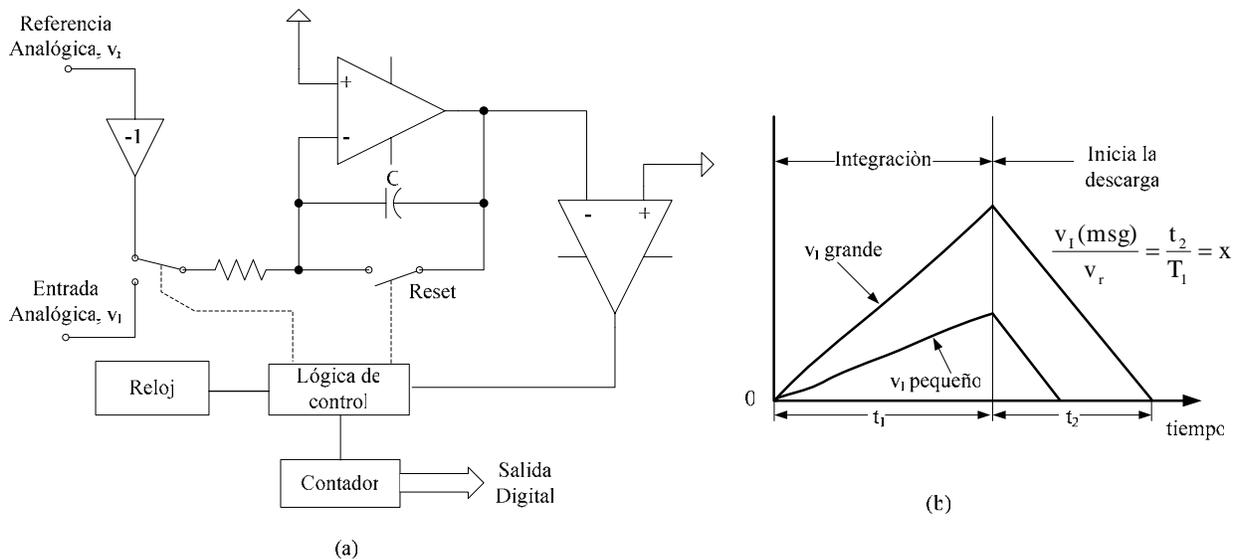


Figura 15. ADC de doble pendiente (a) Diagrama de bloques (b) formas de onda.

Nótese que las variaciones de la frecuencia de reloj no afectan la resolución. La resolución del convertidor está limitada solamente por la capacidad de la circuitería analógica, y no por no linealidades diferenciales del convertidor, puesto que la salida del integrador está libre de saltos, y esto no causaría

códigos faltantes. Esta buena resolución es relativamente fácil de obtener y puede ser variada ajustando el tamaño del contador interno y la frecuencia de reloj
la baja velocidad es la mayor limitación de los convertidores de doble pendiente. Por ejemplo si T_l se escoje para rechazar la frecuencia de línea y sus armónicas; el valor mínimo que puede ser asumido es 16.67 ms. Puesto que el tiempo de conversión puede duplicar este valor, entonces la velocidad de procesamiento está limitada a menos de 30 muestras/s, lo cual es inadecuado para cualquier aplicación rápida de adquisición de datos. Los convertidores de doble pendiente son muy populares en medidores de panel digitales (DPMs), multímetros digitales (DMMs), detección de temperatura, y otras aplicaciones de baja velocidad.

INTERFAZ ENTRE EL ADC Y LA IBM PC.

Los fabricantes de ADCs se las han ingeniado para que la interfaz ADC-microprocesador sea simple de implementar.

Definiendo la Operación de interfaz.

Existe más de un método de implementar la interfaz ADC-microprocesador.

Esquema de datos más recientes. En este método el ADC trabaja continuamente. Al final de cada conversión este actualiza un buffer de salida (first-in-first-out buffer) y luego comienza automáticamente una nueva conversión. El microprocesador simplemente lee este buffer siempre que requiere el dato más reciente. El método es adecuado para aplicaciones que necesitan actualizar datos solamente de manera ocasional.

Esquema Iniciar y esperar. El micro inicia la conversión cada vez que necesita nuevos datos, y entonces prueba continuamente la línea EOC del convertidor para ver si la conversión ha sido completada; Cuando detecta un fin de conversión, lee la salida del convertidos. Una variación posible es simplemente esperar durante un intervalo de tiempo que es mayor que el tiempo de conversión esperado, luego asumir que la conversión ha sido completada y leer la salida. Este método es un poco fácil de implementar pero ata el microprocesador a la duración de la conversión.

Usando una interrupción de microprocesador. Este método hace uso de las capacidades del microprocesador. El procesador o un reloj aún arrancan el proceso de conversión, pero luego el microprocesador puede dedicarse a realizar otras tareas. cuando la conversión ha sido completada, el ADC provoca una interrupción; El microprocesador responde abandonando su tarea actual y almacenando la información vital para continuar posteriormente. El microprocesador procede localizando y ejecutando un set de instrucciones (rutina de servicio) diseñada para acceder los datos del ADC. Después de que la rutina de servicio ha sido ejecutada, el microprocesador regresa a su tarea original. La tarea de localizar la rutina de servicio es realizada algunas veces ejecutando otra rutina (rutina polling) que revisa todas las fuentes de interrupción una por una. Un método mucho más eficiente es usar interrupciones vectorizadas. Esta técnica se basa almacenar la dirección de rutinas de servicio individuales en una localización predeterminada llamada tabla de vectores. En respuesta a una interrupción, el microprocesador ahora se dirige a la localización predeterminada en donde el usuario ha almacenado previamente la dirección correspondiente a la rutina de servicio. La potencia real de esta técnica es vista en sistemas con numerosas fuentes, de interrupción, tales como la IBM PC. Tales sistemas generalmente usan un dispositivo dedicado llamado controlador de interrupciones.

Interfase de software. La transferencia de datos entre ADC y microprocesador puede ser organizada en software en tres maneras.



Transferencias con mapeo de memoria. En este modo al ADC se le asigna una dirección en el espacio de memoria no usado por la memoria existente. Todas las transferencias entre el ADC y el micro son realizadas tratando al ADC simplemente como una dirección de memoria. Sin embargo, junto a una reducción en el espacio de memoria disponible, el mapeo de memoria puede incrementar la complejidad para manejar la memoria, y generalmente se requiere más hardware para decodificar la dirección.

Transferencias mapeadas entrada/salida (I/O). Algunos sistemas crean un set de direcciones separadas para I/O (espacio I/O), el cual aunque numéricamente igual a direcciones de memoria, puede distinguirse usando señales de control especiales (IOR e IOW en el bus del sistema PC). La separación del espacio de memoria del espacio I/O mejora el diseño del sistema. Esto generalmente permite una decodificación más simple usando decodificación hardware mínima puesto que lo que se sacrifica es espacio I/O en lugar del precioso espacio de memoria.

Acceso Directo de Memoria (DMA por sus iniciales en inglés). Cuando solo se requieren transferencias simples de datos entre la memoria y un periférico, involucrar al acumulador en la transferencia vuelve lento el proceso innecesariamente. Usando hardware adicional, usualmente en forma de un dispositivo dedicado llamado Controlador DMA, las transferencias directas pueden realizarse a velocidades mayores. La mayoría de microprocesadores permiten realizar DMA liberando el control del bus del sistema por un intervalo predeterminado. El controlador DMA toma el control del bus durante este intervalo y realiza transferencias de datos generando las direcciones y señales de control requeridas. Al final del intervalo, el control del bus vuelve al microprocesador. Una transferencia de datos completa puede durar varios ciclos DMA. El DMA es extremadamente útil en aplicaciones de alta velocidad o en transferencias de grandes volúmenes de datos. Su aplicación en sistemas de adquisición de datos es posible; pero normalmente usada solo en aplicaciones de alto rendimiento, hay un controlador DMA de cuatro canales en la tarjeta del sistema PC que realiza muchas funciones incluyendo refresco de memoria y transferencias de discos.

Interfaz de Hardware. El método de diseño hardware difiere notablemente dependiendo de que se escoja un formato de datos serie o paralelo.

Formato de datos paralelo. El hardware para una interfaz de datos paralela casi siempre incluye un buffer con salida de tres estados a través de la cual es conectado el ADC al bus de datos del microprocesador. Las direcciones decodificadas y la señal de control de lectura del microprocesador son usadas para habilitar el buffer para transferencia de los datos del ADC al microprocesador, la misma decodificación de dirección y señal de control de escritura del microprocesador son usadas para generar la orden de inicio del convertidor. No es necesario usar control separado de lectura y escritura; sin embargo al hacerlo se permite que la misma dirección sea usada para enviar ordenes al ADC y para leer la salida del ADC.

ADCs más recientes tienen incorporados buffer de salida de tres estados junto a su circuitería de control. Esos ADCs pueden ser conectados directamente al bus de datos del microprocesador. Para realizar la interfaz de estos dispositivos el usuario simplemente debe poner de su parte una dirección decodificada y algunas veces unas pocas compuertas para acoplar las señales de control.

Formato de datos serie. Esta es una opción natural para sistemas que usan transmisión de datos serie sobre largas distancias a una estación de monitoreo. La transmisión asíncrona usando líneas dedicadas o líneas telefónicas con módems en cada extremo es un medio muy eficiente (en costos) de hacer esto. El hardware de interfaz en el extremo del microprocesador, usualmente ubicado en la estación de monitoreo, a menudo toma la forma de un dispositivo dedicado llamado receptor/transmisor asíncrono universal (UART). Un UART recibe y transmite datos en forma serie pero su interfaz con el microprocesador es en formato de datos paralelo. Cada microprocesador tiene al menos un UART con el



cual es compatible. La interfaz al ADC depende grandemente de este. De nuevo la tendencia es integrar todo en el chip mismo.

SISTEMAS DE ADQUISICIÓN DE DATOS

Un sistema de adquisición de datos realiza la función completa de convertir las salidas de uno o más transductores en señales digitales equivalentes usables para procesamiento adicional, control o presentación. Las aplicaciones pueden variar desde la simple medición de una señal analógica única hasta el control y medición de cientos de parámetros en una planta nuclear. Los sistemas de adquisición de datos pueden variar similarmente desde sistemas de conversión directa de bajo costo hasta sistemas multicanal con un alto grado de exactitud y confiabilidad.

Sistemas de un Solo Canal.

En sistemas típicos de Adquisición de datos de un solo canal. La señal del transductor es generalmente de baja amplitud, se encuentra mezclada con señales indeseables y ruido, y puede requerir linealización, Filtros, amplificadores, y otros circuitos analógicos pueden requerirse para acondicionar esta señal a una forma adecuada. El diseño de tales circuitos de acondicionamiento se describe en textos sobre amplificadores operacionales La conversión directa se usa a veces en aplicaciones de bajo costo en donde la salida del circuito de acondicionamiento de señal se lleva directamente al ADC para conversión. La mayoría de aplicaciones sin embargo necesitan un circuito sample and hold, el cual se describe a continuación.

Circuitos sample and hold

Los circuitos sample and hold se usan para reducir errores de incerteza en la salida convertida cuando la entrada cambia rápidamente en comparación al tiempo de conversión. Los circuitos S/H también se usan en sistemas multicanal para retener una muestra de un canal mientras el multiplexer procede a muestrear la siguiente. Algunas veces los S/H se usan para capturar transitorios de la señal de entrada o cuando dos o más señales necesitan ser muestreadas exactamente en el mismo instante (muestreo simultáneo). La figura 16 muestra un diagrama simplificado y las formas de onda de un circuito S/H típico. El switch analógico S_1 , cierra cuando la orden SAMPLE se recibe El condensador C_h comienza a cargarse (aumentando o disminuyendo) hasta alcanzar el nivel de voltaje de la señal de entrada. Después de un retardo llamado "tiempo de adquisición" el voltaje del condensador alcanza y se mantiene dentro de una banda de error especificada alrededor de la señal de entrada. Una orden HOLD provoca que S_1 abra, pero lo hace después de un corto intervalo de tiempo llamado "retardo de tiempo de apertura" El tiempo de apertura (t_d) es típicamente de unas decenas de nanosegundos. Después de que S_1 abre, debe transcurrir un tiempo llamado settling time, antes de que el S/H se estabilice en un valor estable y pueda ser usado para conversión Sin embargo, cuando se estabiliza no permanece constante, sino que decae (droops) con el tiempo También la capacitancia parásita puede provocar que cualquier cambio grande en la señal de entrada aparezca en la salida S/H en forma atenuada. Este fenómeno es llamado "feedthrough".

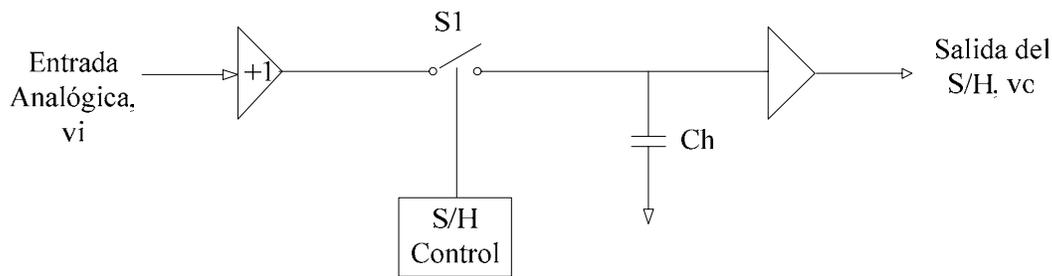
Algún cuidado se requiere para seleccionar el tipo y valor del condensador de retención. Un valor bajo de capacitancia reduce el tiempo de adquisición pero incrementa el droop. De manera similar, un valor elevado minimiza el droop pero puede dar por resultado tiempos de adquisición excesivamente largos Cuando se usa un S/H en un ADC, el tiempo de retención generalmente no es mucho mayor que el tiempo de conversión del ADC. Así, para un valor dado de condensador, podemos estimar el droop total durante una conversión. Seleccionamos el condensador para obtener el mejor tiempo de adquisición mientras que tratamos de mantener el droop por conversión debajo de un LSS. El tipo de capacitor seleccionado también es importante por que la absorción dieléctrica en el capacitor de retención es una fuente de error. Los más adecuados son polystirene, polypropilene y Teflón Mica y policarbonato son



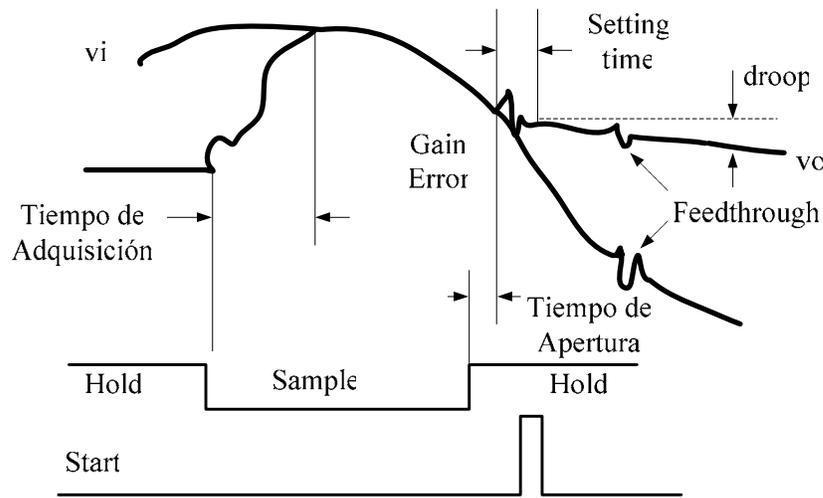
apenas moderadamente buenos. Los Cerámicos tienen absorción dieléctrica elevada y no deberían ser usados.

Varios fabricantes ofrecen generalmente circuitos monolíticos S/H de propósito general con tiempos de adquisición típicos del orden de 4 μ s para una exactitud del 0.1%, o 10 a 20 μ s para una exactitud de 0.01%. Este rendimiento moderado a bajo costo vuelve atractivos estos dispositivos para muchas aplicaciones. Si se requieren prestaciones

superiores, se encuentran disponibles S/H's híbridos y modulares de fabricantes como Datal-Intersil, Burr-Brown, Analog Devices, etc. La tabla 1 muestra un grupo representativo de circuitos S/H disponibles comercialmente.



(a)



(b)

Figura 16. Circuito Sample & Hold (a) Circuito simplificado (b) Formas de onda y terminologías asociadas con S/H

Sistemas multicanal.

Existen dos técnicas básicas para manejar más de una señal analógica. La técnica más usada ha sido multiplexar analógicamente todos los canales de entrada y luego usar un solo ADC para realizar las conversiones. La razón de la popularidad de esta técnica ha sido el alto costo de los ADC en el pasado reciente. Un método alternativo es usar un ADC individual para cada canal. Este método tiene varias ventajas y se está volviendo popular debido al costo en descenso de los ADC.



Multiplexado Analógico

La figura 17 muestra la configuración más comúnmente usada de sistemas de adquisición de datos multiplexado analógicamente. Al recibir una orden el multiplexor conecta el canal seleccionado al circuito S/H, el cual lo muestrea, y luego lo retiene para que el ADC lo convierta. Note que el circuito S/H habilita el multiplexor para pasar a otro canal si es necesario mientras el ADC realiza la conversión. Esto significa que los tiempos de conmutación y asentamiento del multiplexor no afectan la velocidad de transmisión de datos del sistema. Una variación de esta configuración es el sistema de muestreo simultáneo. Circuitos S/H se usan después del multiplexor y son controlados desde la misma orden SAMPLE. Esto permite que dos o más señales sean muestreadas exactamente al mismo tiempo.

Tabla 1. Circuito S/H representativos disponibles comercialmente

Tipo de dispositivo	Fabricante	Tiempo de adquisición	Tiempo de apertura	Tiempo de asentamiento	características	precio
AD582	Analog Devices	6us @ 0.1%	150ns	0.5us	Monolítico, propósito general	\$8
AD583	Analog Devices	4us @ 0.1% 5us @ 0.01%	50ns	-----	Monolítico mas rápido	\$16
LF398	Nacional	4us @ 0.1% 6us @ 0.01%	150ns	0.8us	Monolítico, propósito general	\$3
SHC298	Bun-Brown	9us @ 0.1% 10us @ 0.01%	200ns	1.5us	Monolítico, propósito general	\$7
AD346	Analog Devices	2us @ 0.01%	60ns	0.5us	Híbrido, condensador interno	-----
SHC85	Analog Devices Datel-Intersil Bun-Brown	4us @ 0.01%	25ns	0.5us	Híbrido, condensador interno, velocidad droop baja	\$70
HTS0025	Analog Devices	20ns @ 0.01%	20ns	30ns	Híbrido muy rápido	\$187

Los Multiplexores analógicos usan frecuentemente switches semiconductores (JFET o CMOS). Un arreglo de switches controlables se hace disponible en un solo circuito integrado, el cual generalmente incluye un decoder, para permitir que con unas pocas líneas de control se conmute cualquiera de los canales de señal. Las configuraciones populares son de 4, 8 y 16 canales diseñados para señales de entrada con puesta a tierra, o diferencial. Un multiplexor deberla funcionar en el modo de abrir antes de cerrar, para evitar que dos líneas de entrada no se pongan en cortocircuito. Otra consideración importante de los multiplexores analógicos es su resistencia en conducción (r_{on}), corrientes de fuga, exactitud de transferencia, crosstalk, y tiempo de asentamiento. La resistencia en conducción (r_{on}) provoca caídas de voltaje, lo cual genera error de transferencia. Este puede ser reducido si la impedancia vista por la salida del mux es elevada. Los circuitos S/H ofrecen generalmente impedancia de entrada elevada y de esta manera ayudan a mantener pequeños estos errores. La exactitud de transferencia es el error porcentual de transferencia de la entrada. Crosstalk resulta del acoplamiento parásito entre canales. Tiempo de asentamiento (settling time) es el tiempo que le toma a las salidas del mux para estabilizarse hasta quedar dentro de una banda especificada alrededor de la señal de entrada siguiendo una conmutación.



El diseñador necesita conocer estos parámetros para asegurarse de que el S/H no sea activado hasta que la salida del mux sea estabilizado.

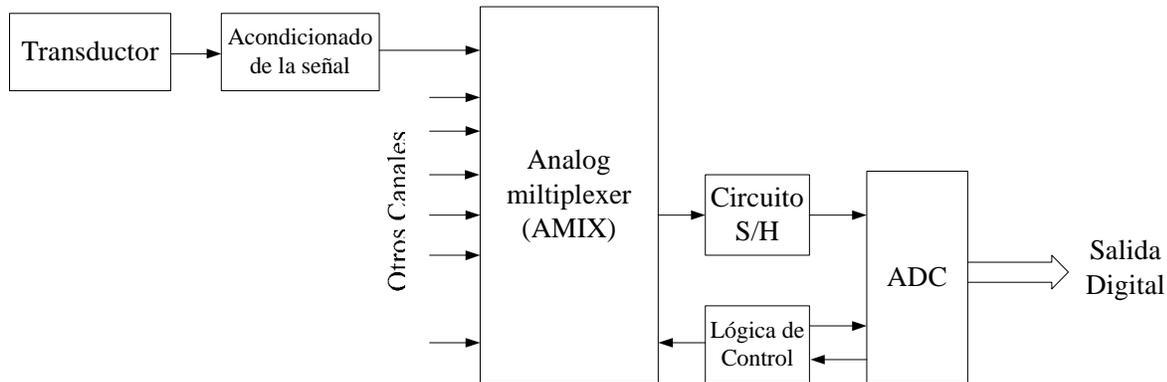


Figura 17. Sistema de adquisición de datos multicanal usando un mux analógico y un ADC

COMO SELECCIONAR Y USAR ADC'S

ADCs y sistemas disponibles comercialmente.

ADCs, dispositivos con un rango amplio de capacidades se encuentran disponibles comercialmente. El tipo de conversión y la tecnología de fabricación del circuito determinan las características esenciales de velocidad resolución y costo del ADC. La figura 18 muestra el rango de características de los dispositivos disponibles comercialmente. Los ADC de aproximaciones sucesivas ofrecen la selección más amplia y son los más usados. Los ADCs monolíticos son los menos costosos. El rendimiento de los monolíticos ha mejorado tremendamente durante los últimos años. Estos se fabrican con tecnologías CMOS y Bipolar. Los CMOS poseen la ventaja de que consumen poca potencia y pueden brindar fácilmente un mux analógico dentro del chip, un latch de entrada y decoder, y buffer de salida de tres estados. Sin embargo, una referencia de precisión, o un comparador de precisión de alta velocidad son difíciles de implementar con CMOS. La tecnología bipolar puede manejar esas funciones con facilidad pero son circuitos de densidad relativamente baja. Esta limitación puede ser superada disponibles desde la década pasada en forma de IC. La tabla 2 muestra un grupo significativo de ADCs monolíticos en el mercado.

Los convertidores de alta velocidad y alta resolución usan construcción híbrida que combina más de un componente monolítico en una sola empaquetadura IC. Los avances de diseño de componentes han mejorado el rendimiento de ADCs híbridos, mientras que su costo ha disminuido. Los ADCs del más alto rendimiento usan diseño modular. Sin embargo estas tecnologías están restringidas a aplicaciones muy especializadas.



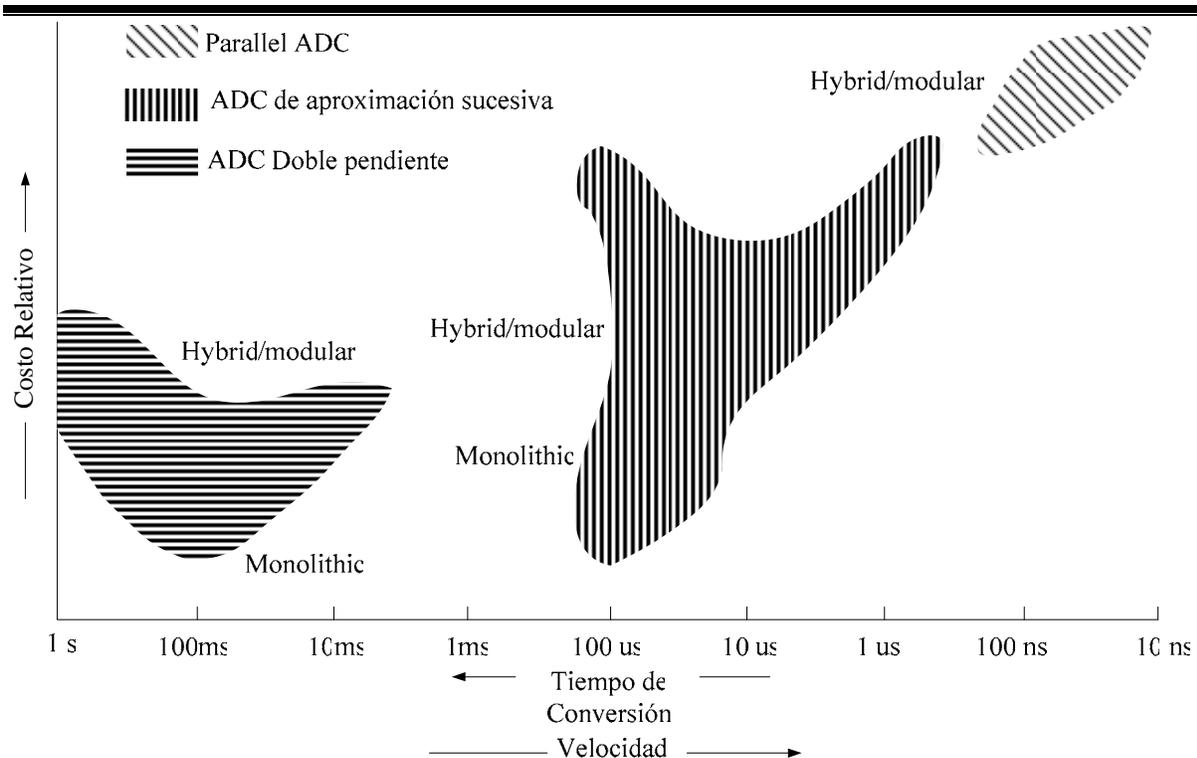


Figura 18. Rango de ADC's disponibles comercialmente caracterizados en términos de costo y velocidad para la mayoría de técnicas de conversión más populares

Sistemas de adquisición de datos para la IBM PC.

Varios fabricantes ofrecen sistemas completos para la IBM PC, que permiten a esta adquirir, procesar, mostrar y generar datos de salida analógica. Un sistema típico para instalar en las ranuras de expansión consta de mux analógico, S/H, un ADC con referencia, clock programable, y buffers. Para aplicaciones profesionales es frecuente que los diseñadores usen sistemas de fabricantes como National Instruments, o similares.

Seleccionando un ADC

Para seleccionar un ADC para una aplicación determinada necesitamos conocer sus requerimientos de funcionamiento, tales como resolución, tiempo de conversión, error permisible, y otros. Estos se determinan a partir de las especificaciones de diseño de sistemas, tales como:

1. Número de canales analógicos
2. Velocidad de transmisión de datos. Deben ser considerados tanto la velocidad del sistema como la de canales individuales.



-
- 3 Ubicación del transductor
 - 4 Exactitud de la conversión
 - 5 Ambiente (ruido eléctrico y rango de temperatura)
 - 6 Costo del sistema

El diseño usualmente comienza con la selección de la configuración del sistema. Los requerimientos de funcionamiento de cada componente del sistema son determinados entonces.

Exactitud del ADC. La exactitud requerida en el convertidor se determina a partir de las especificaciones del sistema, tomando en cuenta los errores de los restantes componentes en el sistema. Un error común es seleccionar un ADC con resolución que se parece a los requerimientos. Sin embargo, la exactitud real es peor que el valor indicado por la resolución debido a varios errores en el convertidor. La elaboración de una lista con la contribución de cada fuente de error del convertidor, llamada presupuesto de errores, ayuda a calcular el funcionamiento real.

Tiempo de conversión. El número de conversiones por segundo requeridos del ADC se calcula a partir de la velocidad de transmisión de datos especificada, número de canales, y configuración de sistema seleccionada. La velocidad de muestreo de canales es igual a velocidad de transmisión solamente si se usa un ADC por canal. Un reporte de los retardos principales involucrados en una conversión es llamado el presupuesto de tiempo. La velocidad de transmisión de datos se calcula a partir de este presupuesto.

Tipo de ADC. El conocimiento de la configuración del sistema y los requerimientos de resolución y de tiempo de conversión son usualmente suficientes para seleccionar el tipo de ADC que será usado. Por ejemplo si se tienen requerimientos de velocidad entre moderados y elevados, se puede pensar en un ADC de aproximaciones sucesivas. Si al mismo tiempo se requiere alta resolución, entonces se debe pensar en dispositivos híbridos. Para alta resolución a baja velocidad, será más adecuado un ADC de doble pendiente. Estos son también la opción natural, si se requiere rechazo de ruido de alta frecuencia o de 60 Hz.

Recomendaciones para usar ADCs

Usar el rango pleno del ADC. Si una señal de entrada barre apenas de 1 a 3.5 V en un ADC con entrada de 0-5V, los errores del convertidor son efectivamente duplicados. Para evitar esta degradación del funcionamiento del convertidor, use preescalamiento para asegurarse de que la señal de entrada barre el rango de entrada del ADC tanto como sea posible.

Usar una buena señal de referencia. Las fluctuaciones con la temperatura o con el tiempo en la señal de referencia aparecen como un error de ganancia y deben mantenerse en un mínimo. Una buena referencia integrada (IC) es una buena inversión para la mayoría de aplicaciones.

Cuidarse de cambios rápidos de señal. Los cambios de la señal durante una conversión provocan errores de ganancia en ADCs de aproximaciones sucesivas. Si la señal es impredecible use un S/H.

Mantener separadas las tierras analógica y digital. Las señales digitales crean **spikes** a lo largo de las trayectorias de tierra. Las conexiones de tierra para las porciones analógica y digital deberían mantenerse separadas excepto en un punto único.



Reducir problemas de interferencia y de carga. Reduzca errores en la señal analógica provocados por lazos de tierra, ruido de modo común, y otras interferencias siguiendo buenas prácticas de EMC (Electromagnetic Compatibility). Use bypassing adecuado (10uF tantalio para rizado y 10 o 100nF cerámico para transitorios) para cualquier IC TTL en la porción digital del circuito. Reduzca la carga de las líneas de control a dos cargas TTL LS, o use buffers. La mayoría de ADCs tienen buffers, pero se puede requerir buffering adicional si las líneas de datos son de longitud considerable o si más de un dispositivo es conectado al ADC.

SISTEMAS DE ADQUISICION DE DATOS DE BAJO COSTO PARA LA IBM PC

Sistema de Bajo Costo. Existen diferentes alternativas para el diseño de sistemas sencillos de adquisición de datos para la IBM PC. Para conseguir un diseño de muy bajo costo (US \$ 100.00 o menos) de un sistema de bajo costo multicanal de prestaciones moderadas para la IBM PC, este debería construirse localmente. Esta opción ya fue abordada en un proyecto de ingeniería realizado en nuestra Escuela en años recientes basándose en el diseño que aparece en Webster [1]. Este sistema está diseñado alrededor del ADC0916 de National Semiconductors. Este dispositivo tiene a su favor, la incorporación dentro del IC de un mux analógico (AMUX) de 16 canales, la salida del cual es accesible de manera que se puede insertar un S/H entre el AMUX y el ADC.

Sistemas Industriales Existen fabricantes de sistemas de instrumentación tales como Omega Engineering (www.omega.com), y National Instruments (www.natinst.com) que ofrecen sistemas de adquisición de datos montados en una sola tarjeta (*board*) lista para instalar en una ranura (slot) de expansión de la IBM PC. El *software* de control y análisis puede ser desarrollado totalmente por el usuario; o puede utilizar *software* dedicado tal como LabWindows o LabView de National Instruments, o Visual C++, etc. En la UES se cuenta con algunos de estos sistemas en el CIAN (Centro de Investigaciones y Aplicaciones Nucleares). En aplicaciones del mundo real, seguramente que el ingeniero encontrará que la solución óptima pasa necesariamente por la aplicación de este tipo de tecnologías

BIBLIOGRAFIA

[1] Webster, & Tompkins *Interfacing Sensors to the IBM PC* Prentice Hall, 1988



Tabla 2 Una muestra representativa de ADCs nnonolíticos disponibles comercialmente. (Los datos han sido redondeados Para especificaciones más detalladas o precios exactos, consultar databooks, o catálogo de vendedores)

Dispositivo	fabricantes	Resolución (bits)	Método de conversión	Tiempo de Conversión (us)	Voltaje	Características	Precio
AD7574	Analog Device	8	S.A.	15	+5	CMOS con y ciock y buffer on-chip	\$7
AD7570	Analog Device	8	S.A.	25	+5,-15	Clock, referencia, buffer, y rango programable on chip	\$18
AD573/67	Analog Device	10/8	S A	15/20	+5,-15	Clock, referencia, buffer, y rango <u>programable</u> on chip	50
TSC7109	Intersil. Teledyne	12 más	doble pendiente modificado	33 rns	+5	Interfase UART paralelo serie CMOS	15
AD7555	Analog Devices	4'/a dígitos	doble pendiente modificado	610 ms	+5	paralelo serie, buffer, clock CMOS	20
Entradas Múltiples							
ADC0808	National, Texas Instruments	8	S A	100	+5	CMOS de 8 canales, AMUX, clock, buffer, latch de direcciones,	8
AD7581	Analog Devices	8	S.A	80	+5	CMOS de 8 canales, AMUX, clock, buffer, latch de direcciones,	14
ADC0816	National, Texas Insttutnents	8	S A	100	+5	como el ADO808 pero 16 canales	14



NOTAS SOBRE CIRCUITOS S/H

La técnica de diseño y construcción de S/H está relacionada estrechamente a la de los detectores de valor pico. Los circuitos S/H son algunas veces llamados "follow and hold". El método preferido es imprimir el voltaje y retenerlo, y luego realizar la conversión digital a placer. Los ingredientes básicos de un S/H son un amplificador operacional y un *switch FET*. La figura 19 muestra la idea. IC₁ es un seguidor que produce una replica de baja impedancia de la entrada. Q₁ deja pasar la señal durante el estado "sample" y la desconecta durante "hold". Cualquier señal que estuviera presente cuando Q₁ es apagado se retiene en el condensador C. IC₂ es un seguidor de alta impedancia de entrada (con entradas FET), de manera que la corriente en el condensador durante "hold" es minimizada. El valor de C es un compromiso. Las corrientes de fuga en Q₁ y el seguidor provocan que el voltaje del condensador caiga ("droop") durante el intervalo *hold*, de acuerdo a la relación $dV/dt = I_{fuga} / C$. De esta manera C debería ser lo suficientemente grande para minimizar droop. Pero la resistencia ON de Q₁, forma un filtro paso bajo en combinación con C, de manera que C también debería ser pequeño si se requiere "seguir" con exactitud señales de alta velocidad. I_Q debe ser capaz de suministrar la corriente de carga $I = CdV/dt$. Y debe tener suficiente slew rate para seguir a la señal de entrada. En la práctica el slew rate del circuito completo estará limitado por la corriente de salida de IC₁ la resistencia ON de Q₁.

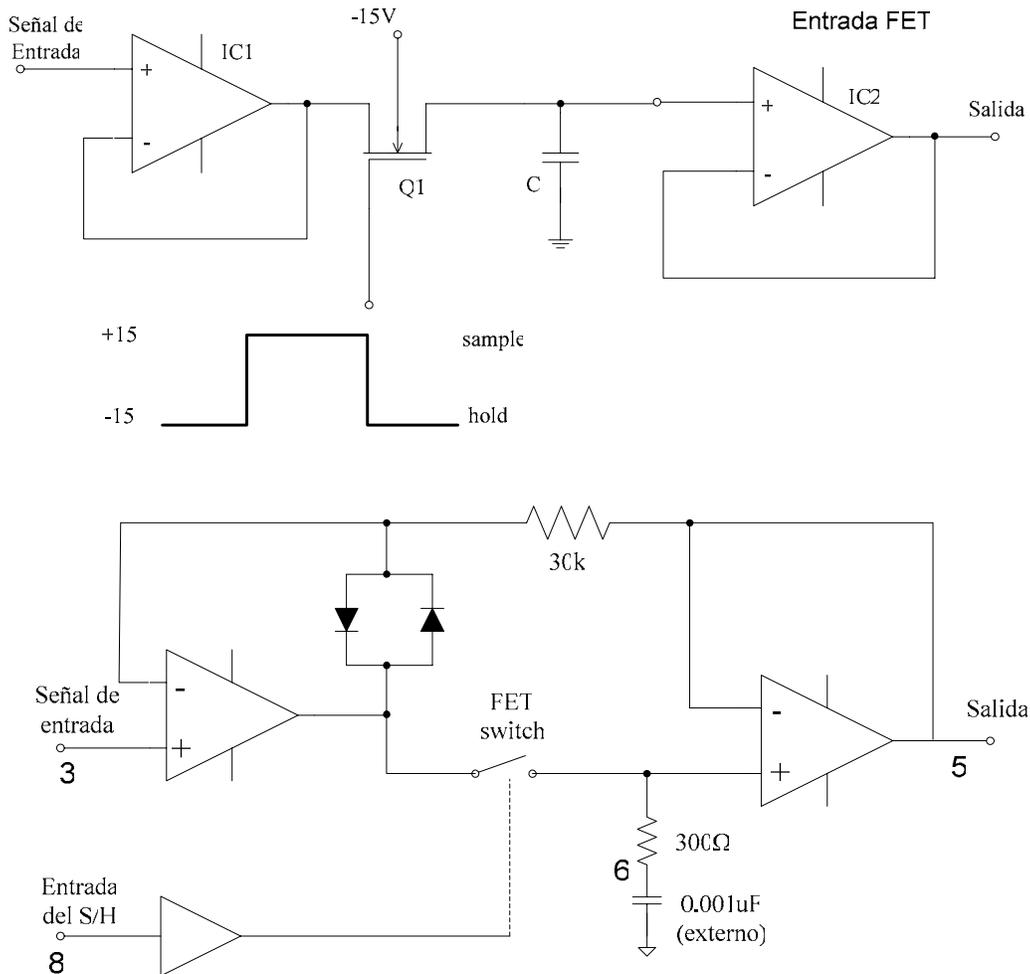


Figura 19. *Sample & Hold*. (a) Configuración estándar. (b) chip S/H LF398



Ejercicio. Suponga que IC1 puede suministrar 10mA de corriente de salida, y $C = 0.01 \mu\text{F}$. Cual es el slew rate máximo de entrada que el circuito puede seguir con exactitud?. Si Q1 tiene resistencia ON de 50 Ohms, cual será el error de salida para una señal de entrada *slewing* a $0.1\text{V}/\mu\text{s}$. Si las fugas combinadas de Q1 y IC2 son de 1nA, cual la razón de droop durante el estado *hold*?

Tanto para *el circuito sample and hold*, como para el detector de picos, el amplificador operacional maneja una carga capacitiva. Al diseñar este tipo de circuitos, asegúrese de escoger un operacional que sea estable a ganancia unitaria teniendo como carga al condensador C. Algunos operacionales (por ejemplo el LF355/6) están diseñados específicamente para manejar cargas capacitivas relativamente grandes ($0.01\mu\text{F}$).

El diseñador no necesariamente debe diseñar un circuito S/H a partir de cero, ya que existen algunos bellísimos ICs monolíticos que contienen todos los componentes que se requieren, excepto el condensador. El LF398 de National es un componente muy popular, que contiene el switch FET y los dos operacionales en un chip de 8 pines a muy bajo costo. La figura 19(b) muestra la manera de usarlo. Observe como la realimentación cierra el lazo de realimentación alrededor de ambos operacionales. Existen suficientes *chips S/H* en el mercado, si la aplicación necesita mejor funcionamiento que el que ofrece el LF398, por ejemplo el AD585 de Analog Devices, incluye un condensador interno y garantiza un tiempo de adquisición máximo de $3\mu\text{s}$ para una exactitud del 0.01% siguiendo un escalón de 10 Voltios

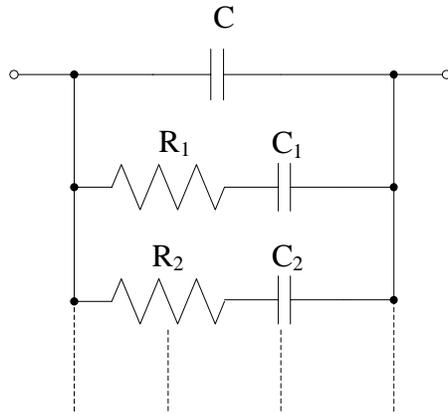
Absorción Dieléctrica.

Los condensadores no son perfectos. Las limitaciones más reconocidas son las fugas (resistencia paralelo), resistencia serie, e inductancia, y coeficiente de temperatura distinto de cero de la capacitancia. Un problema más sutil es la absorción dieléctrica, un efecto que se manifiesta de la manera siguiente Tome un condensador de tantalio de un valor alto de capacitancia que se encuentre cargado a 10 Voltios aproximadamente. Y proceda a descargarlo rápidamente por medio de la conexión de una resistencia de 100 ohms entre sus extremos. Retire la resistencia, y observe el voltaje en el condensador en un voltímetro de alta impedancia. Usted seguramente que se impresionará al verificar que el condensador se recarga hasta un 1Voltio o más en unos pocos segundos!

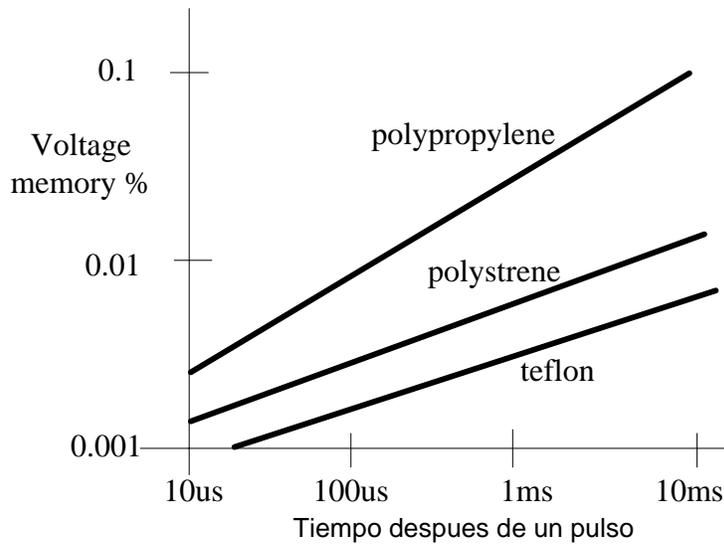
El origen de la absorción dieléctrica (o dielectric soakage, dielectric memory) no ha sido comprendido del todo, pero se cree que el fenómeno está relacionado a la polarización remanente atrapada en las interfaces dieléctricas; mica, por ejemplo con su estructura de capas, es particularmente pobre en este aspecto. Desde un punto de vista circuital, esta polarización extra se comporta como un grupo de circuitos RC en serie adicionales conectados en paralelo al condensador (figura 20(a)), con constantes de tiempo generalmente en el rango de aproximadamente $100\mu\text{s}$ hasta varios segundos. Los dieléctricos varían ampliamente en su susceptibilidad a la absorción dieléctrica. La figura 20(b) muestra datos de varios dieléctricos de alta calidad, presentando la memoria de voltaje contra tiempo después de un escalón de 10 Voltios con una duración de $100\mu\text{s}$

La absorción dieléctrica puede provocar errores significativos en integradores y otros circuitos analógicos que dependen de las características ideales de los condensadores. En el caso de un S/H seguido de conversión A/D de alta precisión, el efecto puede ser devastador. En tales situaciones, el mejor método es escoger cuidadosamente sus condensadores (el dieléctrico Teflón parece ser el mejor), reteniendo un escepticismo sano en tanto sea necesario. En casos extremos, puede ser necesario recurrir a trucos tales como redes de compensación que usan RCs ajustados cuidadosamente para cancelar eléctricamente la absorción dieléctrica de los condensadores internos Este método es utilizado en algunos módulos *sample and hold* de alta calidad fabricados por Siemens.





(a)



(b)

Figura 20. Absorción dieléctrica en condensadores. (a) Modelo. (b) Medición de propiedades de varios dieléctricos

